

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Motohiro ENKAKU

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ERROR DETECTING METHOD
THEREFOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

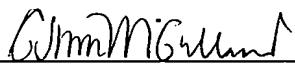
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-306786	August 29, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 9 日
Date of Application:

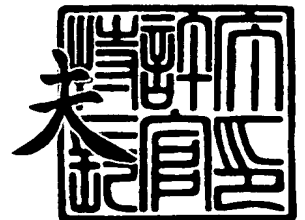
出 願 番 号 特 願 2 0 0 3 - 3 0 6 7 8 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 0 6 7 8 6]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願
【整理番号】 A000206358
【提出日】 平成15年 8月29日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 7/00
G06F 11/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 圓角 元洋
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

情報がプログラムされるプログラマブル回路と、
前記プログラマブル回路にプログラムされた情報を、電氣的に保持する情報保持回路と

、
前記情報保持回路に保持された情報を圧縮する圧縮回路と、
期待値情報を出力する情報出力回路と、
前記期待値情報と前記情報圧縮回路の圧縮情報とを比較し、前記情報保持回路に保持された情報の破壊を検出する検出回路と
を具備することを特徴とする半導体集積回路装置。

【請求項 2】

情報がプログラムされるプログラマブル回路と、
前記プログラマブル回路にプログラムされた情報を、電氣的に保持する情報保持回路と

、
前記情報保持回路に保持された情報を圧縮する圧縮回路と、
前記情報圧縮回路で圧縮された圧縮情報を期待値情報に補正する期待値補正情報を出力する情報出力回路とを具備し、
前記期待値情報の変化に基づき、前記情報保持回路に記憶された情報の破壊を検出することを特徴とする半導体集積回路装置。

【請求項 3】

前記圧縮情報と前記期待値補正情報とに基づいて、前記期待値情報を出力する期待値補正回路を、さらに具備することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記情報の破壊が検出された際に、前記情報保持回路に保持された情報の訂正処理を実行させる訂正処理実行回路を、さらに具備することを特徴とする請求項 1 乃至請求項 3 いずれか一項に記載の半導体集積回路装置。

【請求項 5】

前記訂正処理は、前記プログラマブル回路にプログラムされた情報を、前記情報保持回路に転送する処理であることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 6】

前記情報保持回路をミラーリングしたミラーリング情報保持回路を、さらに具備し、
前記訂正処理は、前記情報保持回路に保持された情報と、前記ミラーリング情報保持回路に保持された情報とが一致するように、前記情報保持回路と前記ミラーリング情報保持回路との間で、互いに情報を転送しあう処理であることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 7】

前記情報出力回路は、前記期待値情報を記憶する記憶回路を含むことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 8】

前記情報出力回路は、前記期待値補正情報を記憶する記憶回路を含むことを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 9】

前記記憶回路はヒューズを含むことを特徴とする請求項 7 および請求項 8 いずれかに記載の半導体集積回路装置。

【請求項 10】

前記記憶回路は読み出し専用半導体メモリを含むことを特徴とする請求項 7 および請求項 8 いずれかに記載の半導体集積回路装置。

【請求項 11】

前記情報出力回路は、期待値情報を生成する期待値情報生成回路を含み、
前記期待値情報生成回路は、前記プログラマブル回路にプログラムされた情報を、前記

情報保持回路に保持させる際に圧縮し、期待値情報を生成することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 1 2】

前記情報出力回路は、期待値補正情報を生成する期待値情報生成回路を含み、

前記期待値補正情報生成回路は、前記プログラマブル回路にプログラムされた情報を、前記情報保持回路に保持させる際に圧縮し、期待値補正情報を生成することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 1 3】

前記圧縮は、蓄積加算であることを特徴とする請求項 1 1 および請求項 1 2 いずれかに記載の半導体集積回路装置。

【請求項 1 4】

前記情報保持回路に保持された情報を利用する I P マクロと、

前記 I P マクロのステータスを示すステータス情報を発生するステータス情報発生回路とを、さらに具備し、

前記訂正処理実行回路は、

前記 I P マクロが非活性なステータスにある際に、この I P マクロを含むシステムをサスペンドし、

前記 I P マクロが活性なステータスにある際に、この I P マクロを含むシステムをリセットすることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 1 5】

前記 I P マクロは半導体メモリマクロであり、

前記非活性なステータスは、サスペンド、ノーオペレーションを含み、

前記活性なステータスは、ライト、リードを含むことを特徴とする請求項 1 4 に記載の半導体集積回路装置。

【請求項 1 6】

前記プログラマブル回路はヒューズを含むことを特徴とする請求項 1 および請求項 2 いずれかに記載の半導体集積回路装置。

【請求項 1 7】

前記プログラマブル回路は読み出し専用半導体メモリを含むことを特徴とする請求項 1 および請求項 2 いずれかに記載の半導体集積回路装置。

【請求項 1 8】

前記情報保持回路は転送型レジスタを含むことを特徴とする請求項 1 および請求項 2 いずれかに記載の半導体集積回路装置。

【請求項 1 9】

前記圧縮回路は前記転送型レジスタに保持された情報を加算する加算回路であることを特徴とする請求項 1 8 に記載の半導体集積回路装置。

【請求項 2 0】

前記情報保持回路は同期型フリップフロップを含むことを特徴とする請求項 1 および請求項 2 いずれかに記載の半導体集積回路装置。

【請求項 2 1】

前記圧縮回路は前記同期型フリップフロップに保持された情報を加算する加算回路であることを特徴とする請求項 2 0 に記載の半導体集積回路装置。

【請求項 2 2】

プログラマブル回路にプログラムされた情報を、情報保持回路に電氣的に保持し、

前記情報保持回路に保持された情報を、圧縮回路により圧縮し、

期待値情報と前記情報圧縮回路の圧縮情報とを比較し、前記情報保持回路に保持された情報の破壊を検出することを特徴とする半導体集積回路装置のエラー検出方法。

【請求項 2 3】

プログラマブル回路にプログラムされた情報を、情報保持回路に電氣的に保持し、

前記情報保持回路に保持された情報を、圧縮回路により圧縮し、

前記情報圧縮回路で圧縮された圧縮情報を、期待値補正情報に従って期待値情報に補正し、

前記期待値情報の変化に基づき、前記情報保持回路に記憶された情報の破壊を検出することを特徴とする半導体集積回路装置のエラー検出方法。

【書類名】 明細書**【発明の名称】 半導体集積回路装置およびそのエラー検出方法****【技術分野】****【0001】**

本発明は、半導体集積回路装置に関し、特にヒューズボックス及びこのヒューズボックスから転送された情報を保持するレジスタを有する半導体集積回路装置、及びレジスタに保持された情報の破壊を検出するエラー検出方法に関する。

【背景技術】**【0002】**

電氣的ヒューズ（例えば、電流溶断型ヒューズ）や、光學的ヒューズ（例えば、レーザー溶断型ヒューズ）は、電氣的経路の切断／非切断に応じて、0／1の情報をプログラムすることができる。つまり、ヒューズはプログラマブルROMの一つであり、しかも、情報は、電氣的経路の切断／非切断という物理的な破壊によってプログラムされるので、その記憶保持特性は、半永久的である。このような利点により、ヒューズは、近時、半導体集積回路装置に対して半永久的にプログラムする必要がある情報をプログラムする手段として注目され、広く利用されるようになってきている。半永久的にプログラムする必要がある情報としては、例えば、半導体メモリのリダンダンシ情報等が挙げられる。

【0003】

しかし、ヒューズは、プログラムに際して物理的な破壊を伴う。このため、プログラム中に、半導体集積回路チップ内の半導体デバイスを壊してしまうような事故を発生させることがある。この点、近時の半導体集積回路装置では、ヒューズを、ヒューズボックスと呼ばれる領域に集め、半導体デバイスの集積度が高い内部マクロ領域から隔離することで解消している。

【0004】

しかし、ヒューズボックスは、内部マクロ領域から離れた個所に確保される。このため、内部マクロ領域からヒューズボックスに対してアクセスしていると、動作速度を著しく悪化させてしまう。そこで、ヒューズボックスから読み出した情報を、内部マクロ領域に設けた一時的記憶回路、例えば、レジスタに転送し、ヒューズにプログラムされた情報をレジスタに保持させる手法がとられている。

【0005】

なお、ヒューズにプログラムされた情報をレジスタに転送する技術を記載した公知例は、例えば、特許文献1がある。

【特許文献1】 米国特許第6, 490, 219号明細書

【発明の開示】**【発明が解決しようとする課題】****【0006】**

レジスタに保持された情報は、半導体集積回路装置が動作している間、常に正しく保持されていなければならない。しかし、レジスタは、情報を物理的ではなく、電氣的に記憶する電氣的記憶回路である。電氣的記憶回路は、例えば、ソフトエラーなどの偶発的な要素で、保持している情報が壊れる可能性を持つ。

【0007】

この発明は上記事情に鑑み為されたもので、その目的は、保持した情報が偶発的に壊れたことを検出可能な半導体集積回路装置およびそのエラー検出方法を提供することにある。

【課題を解決するための手段】**【0008】**

上記目的を達成するために、この発明の第1態様に係る半導体集積回路装置は、情報がプログラムされるプログラマブル回路と、前記プログラマブル回路にプログラムされた情報を、電氣的に保持する情報保持回路と、前記情報保持回路に保持された情報を圧縮する圧縮回路と、期待値情報を出力する情報出力回路と、前記期待値情報と前記情報圧縮回路

の圧縮情報とを比較し、前記情報保持回路に保持された情報の破壊を検出する検出回路とを具備することを特徴としている。

【0009】

また、この発明の第2態様に係る半導体集積回路装置は、情報がプログラムされるプログラマブル回路と、前記プログラマブル回路にプログラムされた情報を、電氣的に保持する情報保持回路と、前記情報保持回路に保持された情報を圧縮する圧縮回路と、前記情報圧縮回路で圧縮された圧縮情報を期待値情報に補正する期待値補正情報を出力する情報出力回路と、前記期待値情報の変化を検出し、前記情報保持回路に記憶された情報の破壊を検出する検出回路とを具備することを特徴としている。

【0010】

また、この発明の第3態様に係る半導体集積回路装置のエラー検出方法は、プログラマブル回路にプログラムされた情報を、情報保持回路に電氣的に保持し、前記情報保持回路に保持された情報を、圧縮回路により圧縮し、期待値情報と前記情報圧縮回路の圧縮情報とを比較し、前記情報保持回路に保持された情報の破壊を検出することを特徴としている。

【0011】

また、この発明の第4態様に係る半導体集積回路装置のエラー検出方法は、プログラマブル回路にプログラムされた情報を、情報保持回路に電氣的に保持し、前記情報保持回路に保持された情報を、圧縮回路により圧縮し、前記情報圧縮回路で圧縮された圧縮情報を、期待値補正情報に従って期待値情報に補正し、前記期待値情報の変化に基づき、前記情報保持回路に記憶された情報の破壊を検出することを特徴としている。

【発明の効果】

【0012】

この発明によれば、保持した情報が偶発的に壊れたことを検出可能な半導体集積回路装置およびそのエラー検出方法を提供できる。

【発明を実施するための最良の形態】

【0013】

以下、この発明の実施形態のいくつかを、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0014】

(第1実施形態)

第1実施形態は、この発明に係る半導体集積回路装置の実施形態として、システムオンチップ、例えば、DRAM混載ロジックデバイスを示す。この発明は、DRAM混載ロジックデバイスに限定されて適用されるものではない。

【0015】

図1はこの発明の第1実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0016】

図1に示すように、第1実施形態に係る半導体集積回路装置は、一つの半導体チップ1に、ランダムロジック2、3に加え、いくつかのIP (Intellectual Property) マクロを含んでいる。本例では、CPUマクロ4、SRAMマクロ5、そしてDRAMマクロ6がIPマクロに該当する。I/O回路7は、これらIPマクロの外側、即ちチップ1の周辺に配置される。ヒューズボックス8は、本例では、DRAMマクロ6から離れた個所に設けられている。ヒューズボックス8は、情報がプログラムされるプログラマブル回路が集積される領域であり、このプログラマブル回路はDRAMマクロ6に対して電氣的に接続される。ヒューズボックス8の一回路例を図2に示す。

【0017】

図2に示すように、一回路例に係るヒューズボックス8には、プログラマブル回路として、ヒューズ9が配置されている。ヒューズ9は、例えば、電氣的ヒューズ、もしくは光学的ヒューズである。電氣的ヒューズの例としては、例えば、過大な電流によって自身の

配線を溶断する電流溶断型ヒューズや、キャパシタを電氣的に破壊するアンチヒューズなどを挙げる事ができる。光学的ヒューズの例としては、例えば、レーザーによって配線を溶断するレーザー溶断型ヒューズや、例えば、集束イオンビームによって配線をスパッタ切断する切断型ヒューズなどを挙げる事ができる。ヒューズ9は、ヒューズボックス8内に配置されたレジスタ10に平行に接続される。レジスタ10は、例えば、パラレルシリアルコンバータである。レジスタ10は、例えば、イネーブル信号ENBに基づいて動作し、ヒューズ9から平行に読み出した情報をシリアルにコンバートし、DRAMマクロ6に入力する。DRAMマクロ6の一回路例を図3に示す。

【0018】

図3に示すように、DRAMマクロ6には、転送型レジスタ11、およびDRAMメモリコア12が集積されている。転送型レジスタ11は、ヒューズ9、即ちプログラマブル回路にプログラムされた情報を、電氣的に保持する情報保持回路である。転送型レジスタ11には、情報がヒューズ9からシリアルに入力され、保持される。ヒューズ9にプログラムされる情報は、例えば、半導体集積回路装置に対して半永久的にプログラムする必要がある情報である。そのような情報の例は、例えば、DRAMマクロ6のリダンダンシ情報である。この場合、転送型レジスタ11は、例えば、不良アドレス情報を保持し、不良アドレスにアクセスがヒットした場合には、スペアアドレスがアクセスされるようにアクセス先を切り換える。もちろん、半永久的にプログラムする必要がある情報は、リダンダンシ情報ばかりでなく、データの入力／出力のタイミングを微調整する、いわゆるトリミング情報など、様々な情報があることは言うまでもない。転送型レジスタ11に保持された情報は、DRAMメモリコア12に与えられる。DRAMメモリコア12には、特に図示はしないが、メモリセルアレイ、センスアンプ、ロウ／カラムデコーダ、読み出した情報や書き込まれた情報を、DRAMマクロ6とその他のマクロとの間、もしくはDRAMマクロ6とチップ1外のシステムとでやりとりするためのインターフェース回路などが含まれる。

【0019】

本第1実施形態では、さらに、転送型レジスタ11に保持された情報を圧縮する圧縮回路を持つ。圧縮回路は、DRAMマクロ6の外、もしくは中に配置されている。本例では、圧縮回路の一例として、加算回路13を有している。加算回路13は、転送型レジスタ11に保持された情報を加算する。本例では、特に1ビット加算回路を示しており、1ビット加算回路は、加算結果として、転送型レジスタ11に保持された情報の総和が、偶数になるか（“0”）、あるいは奇数になるか（“1”）を出力する。これにより、転送型レジスタ11に保持された情報は、“0”か“1”かの1ビットの情報に圧縮される。

【0020】

さらに、本第1実施形態では、期待値情報を出力する情報出力回路を持つ。本例では、情報出力回路の一例として、ヒューズ14を有している。ヒューズ14は、本例ではヒューズボックス8に配置されている。ヒューズ14には期待値情報、例えば“0”か“1”かの1ビット情報がプログラムされる。比較回路15は、期待値情報と1ビット加算器の圧縮情報とを比較する。比較回路15は検出回路であり、期待値情報と圧縮情報とを比較し、転送型レジスタ11に保持された情報が破壊されたか否かを検出する。以下、本明細書では、情報が破壊されたことをエラーと呼ぶ。例えば、期待値情報と圧縮情報とが“一致”で“正”とする場合には、比較回路15は、“不一致”を検出し、転送型レジスタ11にエラーが発生したことを検出する。即ち転送レジスタ11にエラーが発生すると、1ビット加算器の圧縮情報が反転する。比較回路15は、この反転を検出し、エラーが発生したことを示すエラー検出出力を出力する。

【0021】

反対に、期待値情報と圧縮情報とが“不一致”で“正”とすることも可能であり、この場合には、比較回路15は、“一致”を検出する。以下、同様に、比較回路15は、圧縮情報の反転を検出した場合、エラー検出出力を出力する。

【0022】

このように第1実施形態に係る半導体集積回路装置は、加算回路（圧縮回路）13及び比較回路（検出回路）15を含むエラー検出回路16を備える。

【0023】

このような第1実施形態に係る半導体集積回路装置によれば、エラー検出回路16を備えることにより、転送型レジスタ11に保持された情報が、例えば、ソフトエラーの発生によって偶発的に壊れ、エラーが発生したことを検出できる。エラーが発生したことを検出できることで、例えば、転送型レジスタ11に保持された情報の破壊に起因した半導体集積回路装置の誤動作を防止することができ、半導体集積回路装置の信頼性が向上する。

【0024】

（第2実施形態）

第2実施形態は、エラーの発生を検出する別の検出方法に関する。

【0025】

第1実施形態では、圧縮情報と期待値情報とを比較し、“一致”、もしくは“不一致”を検出することで、エラーの発生を検出した。本第2実施形態では、圧縮情報を、ある一定の値に補正し、これを期待値情報とする。そして、期待値情報が変化したか否かに基いて、エラーが発生したかを検出する。第2実施形態は、第1実施形態と検出方法が異なるのみである。よって、異なる部分のみ説明する。

【0026】

（第1の回路例）

図4は、この発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第1の回路例を示す回路図である。

【0027】

図4に示すように、ヒューズボックス8から転送された転送情報*i*は、転送型レジスタ11に入力される。本例の、転送型レジスタ（情報保持回路）11は、フリップフロップ17を直列に接続した構成であり、転送情報*i*は、例えば、クロック入力に基いてシフトされ、フリップフロップ17それぞれに、順次保持されていく。各フリップフロップ17の出力*Q*は、DRAMメモリコア12に与えられるとともに、エラー検出回路16内の加算回路（圧縮回路）13に与えられる。

【0028】

加算回路13は、例えば、直列に接続された論理回路を含む。そして、各論理回路の入力の一つには、フリップフロップ17からの出力*Q*が与えられるようになっている。本例では、論理回路として、例えば、一致／不一致を検出可能な論理回路、例えば、排他的論理和（以下E x . O R）回路18を用いている。初段のE x . O R回路18の一方の入力には、初段のフリップフロップ17の出力*Q*が与えられ、他方の入力には、期待値補正情報*a*が与えられる。期待値補正情報*a*は情報出力回路から出力された情報であり、例えば、第1実施形態に示したヒューズ14にプログラムされた情報である。期待値補正情報*a*は、加算回路13の最終出力を、所定の値を持つ期待値情報に固定する情報である。これにより、最終出力は、エラー検出出力*j*となり、所定の値から変化したとき、エラーが発生したことを検出できる。本例では、一例として、奇数個のフリップフロップ17を備える場合を示している。この場合、転送情報*i*が“0”、即ち偶数であるなら（If($i=2n$ ））、期待値補正情報*a*を“0”とする。また、転送情報*i*が“1”、即ち奇数であるなら（Else）、期待値補正情報*a*を“1”とする。これにより、エラー検出出力*j*は“0”、即ち偶数（ $j=2k$ ）に固定される。もし、エラー検出出力*j*が“1”、即ち奇数に変化したならば、転送型レジスタ11に保持された情報が壊れたことになる。

【0029】

このように、第2実施形態に係る第1の回路例においても、第1実施形態と同様に、転送型レジスタ11にエラーが発生したことを検出することが可能である。

【0030】

第1の回路例による利点の一つは、加算回路13の出力のみで、情報が壊れたことを検出できることにある。このため、例えば、第1実施形態に示した比較回路（検出回路）1

5を省略でき、集積密度の向上に役立つ。

【0031】

なお、第1の回路例は、偶数個のフリップフロップ17の場合にも、例えば、期待値補正情報aの論理を、反対にすることで対応することができる。この変形は、以下に説明する第2、第3の回路例でも同様である。

【0032】

(第2の回路例)

図5は、この発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第2の回路例を示す回路図である。

【0033】

図5に示すように、第2の回路例は、期待値補正情報bを転送情報iに付加し、転送型レジスタ11に転送するようにしたものである。このため、例えば、転送型レジスタ11に含まれるフリップフロップ17の一つに、期待値補正情報bが保持される。本例では期待値補正情報bを、転送情報iの最後の情報に付加するようにしている。このため、転送型レジスタ11の、初段のフリップフロップ17には、期待値補正情報bが保持される。転送終了後において、初段のフリップフロップ17の出力Qは、期待値補正情報bになる。このため、初段のフリップフロップ17の出力Qは、DRAMメモリコア12に与えられなくても良い。動作は、第1の回路例と同様であるので、図中に注釈(NOTE:)を付し、その説明は割愛する。

【0034】

このように、第2実施形態に係る第2の回路例においても、第1実施形態と同様に、転送型レジスタ11にエラーが発生したことを検出することが可能である。また、第2の回路例による利点も、第1の回路例と同様である。

【0035】

さらに、第2の回路例では、期待値情報bを転送情報iに付加し、転送型レジスタ11に転送するので、第1の回路例に比較して、例えば、期待値情報bを、加算回路13に転送するための電氣的配線を省略できる利点がある。

【0036】

なお、第2の回路例では、初段のフリップフロップ17の出力を、一方の入力がある固定値に固定された論理回路、例えば、E x. O R回路18の他方の入力に入力している。このE x. O R回路18は省略することも可能である。初段のフリップフロップ17の出力を、次段のフリップフロップ17の出力を一方の入力に受けるE x. O R回路18の他方の入力に直接入力しても良いからである。

【0037】

ただし、本第2の回路例のように、初段のフリップフロップ17にE x. O R回路18を付加した形とすると、転送型レジスタ11を、例えば、回路基本パターン(図中点線枠19に示す)の繰り返しで構成でき、製品によっては、レイアウトパターンの簡単化を図れ、集積度の向上に役立つことも期待できる。

【0038】

(第3の回路例)

図6は、この発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第3の回路例を示す回路図である。

【0039】

図6に示すように、第3の回路例は、加算回路(圧縮回路)13の最終出力(圧縮情報)を、期待値補正情報cによって、所定の値を持つ期待値情報に補正するようにしたものである。

【0040】

第3の回路例では、例えば、加算回路13の最終出力と期待値補正情報cとに基いて、所定の値を持つ期待値補正回路を備える。本例では、期待値補正回路は論理回路で構成され、例えば、E x. O R回路を含む比較回路20によって構成される。比較回路20の一

方の入力には最終出力が与えられ、他方の入力には期待値補正情報 c が与えられる。動作は、第 1 の回路例と同様であるので、図中に注釈 (NOTE:) を付し、その説明は割愛する。

【0041】

このように、第 2 実施形態に係る第 3 の回路例においても、第 1 実施形態と同様に、転送型レジスタ 11 にエラーが発生ことを検出することが可能である。また、第 3 の回路例による利点も、第 1 の回路例と同様である。

【0042】

以上、第 2 実施形態に係る半導体集積回路装置では、加算回路 13 の最終出力を、所定の値を持つ期待値情報に補正する。このため、IP マクロそれぞれに対して、転送型レジスタ (情報保持回路) 11 にエラーが発生したことを示す信号の論理を統一できる、という利点がある。例えば、IP マクロからの期待値情報を“0”に統一しておけば、どれか一つの IP マクロからの期待値情報が“1”に変化すれば、どこかの IP マクロの転送型レジスタ (情報保持回路) 11 においてエラーが発生したことが検出される。このように、IP マクロそれぞれに対して、エラーが発生したことを示す信号の論理を統一しておけば、例えば、複数の IP マクロが一つの半導体チップに搭載される、システム オン チップにおいて、論理の単純化を図ることができ、有用である。

【0043】

(第 3 実施形態)

第 1、第 2 実施形態では、転送型レジスタ (情報保持回路) 11 にエラーが発生したことを検出できる半導体集積回路装置を説明した。

【0044】

本第 3 実施形態は、エラーが発生したことを検出した後、半導体集積回路装置を、どのように処理するかに関する。

【0045】

図 7 はこの発明の第 3 実施形態に係る半導体集積回路装置が備える訂正処理実行回路を示す図である。

【0046】

図 7 に示すように、第 3 実施形態では、訂正処理実行回路 21 を備えており、訂正処理実行回路 21 は、エラーが検出されたとき、エラー訂正をシステムに命令するエラー訂正命令、例えば、エラー訂正命令信号を出力する。システムは、エラー訂正命令信号が出力された際、転送型レジスタ (情報保持回路) 11 に保持された訂正処理を実行する。これにより、壊れた情報を修復することができる。

【0047】

訂正処理には、いくつかの方法がある。以下、訂正処理方法のいくつかの例を説明する。

【0048】

(第 1 の訂正処理方法)

図 8 は、第 1 の訂正処理方法を示す図である。

【0049】

図 8 に示すように、第 1 の訂正処理方法は、ヒューズ 9 にプログラムされた情報を、転送型レジスタ (情報保持回路) 11 に再転送する処理である。この場合、例えば、訂正処理実行回路 21 からのエラー訂正命令に基いて、例えば、イネーブル信号 ENB を再活性化させる。イネーブル信号 ENB が再活性化することで、レジスタ 10 は、ヒューズ 9 からパラレルに読み出した情報をシリアルにコンバートし、転送型レジスタ 11 に入力する。これにより、転送型レジスタ 11 には、ヒューズ 9 にプログラムされた情報が再保持され、エラーが訂正される。

【0050】

(第 2 の訂正処理方法)

図 9 は、第 2 の訂正処理方法を示す図である。

【0051】

第2の訂正処理方法を実行する場合には、転送型レジスタ11をミラーリングしたミラーリング転送型レジスタ11'が別途設けられる。ミラーリング転送型レジスタ11'は、転送型レジスタ11と同じ情報を保持する。転送型レジスタ11には、エラー検出回路16が接続されている。転送型レジスタ11に、エラーが発生したことが検出された場合には、ミラーリング転送型レジスタ11'に保持されている情報を、転送型レジスタ11に転送する。これにより、転送型レジスタ11には、ミラーリング転送型レジスタ11'に保持されている情報が再保持され、エラーが訂正される。

【0052】

また、本例では、ミラーリング転送型レジスタ11'にも、エラー検出回路16'が接続されている。ミラーリング転送型レジスタ11'に、エラーが発生したことが検出された場合には、転送型レジスタ11に保持されている情報を、ミラーリング転送型レジスタ11'に転送する。これにより、ミラーリング転送型レジスタ11'には、転送型レジスタ11に保持されている情報が再保持され、エラーが訂正される。

【0053】

このように、転送型レジスタ11とミラーリング転送型レジスタ11'との間で、どちらかの情報が壊れた場合に、相互に情報を転送しあうことで、エラーを訂正することができる。

【0054】

また、情報を転送しあう方式としては、図10に示すように、情報をシリアルに転送する場合と、図11に示すように、情報をパラレルに転送する場合との二つの方式がある。必要に応じてどちらかが選択されれば良い。

【0055】

図10に示すシリアル転送において、転送型レジスタ11にエラーが発生した場合には、ミラーリング転送型レジスタ11'の出力から、転送型レジスタ11の入力に向け、電氣的経路22を介して情報をシリアルに転送する。反対に、ミラーリング転送型レジスタ11'にエラーが発生した場合には、転送型レジスタ11の出力から、転送型レジスタ11'の入力に向け、電氣的経路23を介して情報をシリアルに転送する。

【0056】

シリアル転送の場合、訂正処理実行回路21は、例えば、シフトクロックを出力する。情報は、シフトクロックに基いて、フリップフロップ17を一つずつシフトしていく。

【0057】

図11に示すパラレル転送において、転送型レジスタ11にエラーが発生した場合には、転送型レジスタ11内のフリップフロップ17それぞれの出力Qから、ミラーリング転送型レジスタ11'内のフリップフロップ17それぞれの入力Dに向けて、電氣的経路24を介して情報をパラレルに転送する。反対に、ミラーリング転送型レジスタ11'にエラーが発生した場合には、ミラーリング転送型レジスタ11'内のフリップフロップ17それぞれの出力Qから、転送型レジスタ11内のフリップフロップ17それぞれの入力Dに向けて、電氣的経路25を介して情報をパラレルに転送する。

【0058】

パラレル転送の場合、訂正処理実行回路21は、例えば、F/F出力イネーブル信号及びF/F入力イネーブル信号を出力する。これはシフトクロックにて代用しても良い。転送型レジスタ11から、情報をミラーリング転送型レジスタ11'にパラレル転送する場合、転送型レジスタ11にはF/F出力イネーブル信号が与えられ、ミラーリング転送型レジスタ11'にはF/F入力イネーブル信号が与えられる。反対に、ミラーリング転送型レジスタ11'から、情報を転送型レジスタ11にパラレル転送する場合、ミラーリング転送型レジスタ11'にはF/F出力イネーブル信号が与えられ、転送型レジスタ11にはF/F入力イネーブル信号が与えられる。

【0059】

(第4実施形態)

第3実施形態では、エラー検出後の処理について説明した。本第4実施形態は、同様にエラー検出後の処理に関するが、特にシステムのステータスに応じて、訂正処理方法を変える例である。

【0060】

図12はこの発明の第4実施形態に係る訂正処理方法の一シーケンス例を示す流れ図である。以下、このシーケンスを説明する。

【0061】

図12に示すように、半導体集積回路装置を動作させるために、電源を投入する(ST. 1)。電源投入が検知された後、例えば、ヒューズボックス8から情報を読み出し、読み出した情報を、IPマクロ、例えば、DRAMマクロ6内の転送型レジスタ11に転送する(ST. 2)。転送型レジスタ11に、情報が保持された後、半導体集積回路装置は通常動作に入る(ST. 3)。通常動作において、IPマクロは、様々なステータスを示す。基本的には、他のIPマクロやチップ外部と情報をやりとりしているステータス(活性なステータス)、及び他のIPマクロやチップ外部と情報をやりとりしていないステータス(非活性なステータス)の2つに大別される。例えば、半導体メモリマクロにおいては、活性なステータスはライト、リードを含み、非活性なステータスは、ノーオペレーション(NOP)、サスペンドを含む。本例では、半導体メモリマクロとしてDRAMマクロ6を示している。DRAMマクロ6においては、活性なステータスはライト、リードを含み、非活性なステータスは、ノーオペレーション(NOP)、サスペンドに加えリフレッシュが含まれる。

【0062】

本第4実施形態では、これらステータスに応じて、エラー検出後の訂正フローを変える。このため、例えば、本第4実施形態では、DRAMマクロ6自体に、そのステータスを示すステータス情報、例えば、ステータスフラグを持たせ、DRAMマクロ6がどのようなステータスにあるのかを識別するようにしている。そして、本第4実施形態では、DRAMマクロ6が、例えば、リフレッシュ、サスペンド、NOPなど、DRAMマクロ自体が非活性なステータスである場合(ST. 4)に、エラーが検出された際には、システムサスペンド状態に入る信号を出し、システムをサスペンドする(ST. 5)。システムをサスペンドした後、例えば、第3実施形態で説明したような訂正動作を行う。

【0063】

一方、ステータスが致命的である場合、例えば、ライト、リードなど、DRAMマクロ6が活性なステータスである場合(ST. 6)に、エラーが検出された際には、システムリセット状態に入る信号、例えば、システムエラーを出し、システムをリセットする(ST. 7)。この後、システムからのリセット処理に従って、電源投入から再度やり直す。

【0064】

図13は一シーケンス例に従った一構成例を示すブロック図である。

【0065】

図13に示すように、本一構成例においては、DRAMマクロ6のステータスを識別するために、ステータス情報を発生するステータス情報発生回路26を備える。ステータス情報発生回路26は、例えば、DRAMメモリコア12の内部状態、ライト中か、リード中か、リフレッシュ中か、サスペンド中か、NOPかに応じて、それぞれに対応したステータス情報を発生する。もしくは活性なステータスであるか(ライト中、リード中)、非活性なステータスであるか(リフレッシュ中、サスペンド中、NOP)に応じたステータス情報を発生する。ステータス情報は、訂正処理実行回路21に与えられる。本例の訂正処理実行回路21は、エラー検出出力とステータス情報とに基づいて、エラー訂正命令を出力するが、DRAMマクロ6が活性なステータスであるときと、DRAMマクロ6が非活性なステータスであるときとで、エラー訂正命令が異なる。

【0066】

活性なステータスである際に、エラーが検出されると、本例の訂正処理実行回路21は、まず、システムエラー(システムリセット)信号を出力する。これにより、DRAMマ

クロ6を含むシステムをリセットする。この後、システムは再起動され、パワーオン検知回路27が電源投入を検知し、電源投入時と同じ動作が行われる。これにより、ヒューズボックス8から転送型レジスタ11に情報が転送され、情報が再保持される。

【0067】

非活性なステータスである際に、エラーが検出されると、本例の訂正処理実行回路21は、システムサスペンド信号を出力し、システムをサスペンドする。この後、訂正処理実行回路21は、イネーブル信号ENBを再活性化させ、ヒューズボックス8から転送型レジスタ11に情報が転送され、情報が再保持される。

【0068】

IPマクロ、例えば、DRAMマクロ6が、どのようなステータス状態にあるかは、例えば、DRAMマクロ6内を流れる信号を検出することで知ることができる。例えば、リード、ライト、リフレッシュ、NOPなどのコマンド信号や、リフレッシュ用のセルフタイマー信号などである。

【0069】

(第5実施形態)

例えば、第1、第2実施形態では、期待値情報や期待値補正情報を予め求めておき、求めた情報を、情報出力回路のヒューズ14にプログラムした。本第5実施形態は、ヒューズ(プログラマブル回路)9にプログラムされた情報から期待値情報や期待値補正情報を自動的に生成する回路に関する。以下、期待値情報を生成する例で説明するが、第2実施形態の期待値補正情報を生成することも可能である。

【0070】

図14は、この発明の第5実施形態に係る半導体集積回路装置が備える期待値情報生成回路を示す図である。

【0071】

図14に示すように、期待値情報生成回路28は、ヒューズ9にプログラムされた情報を、転送型レジスタ(情報保持回路)11に保持させる際に圧縮し、期待値情報を生成する。圧縮の一例は、蓄積加算である。図14には、蓄積加算により、期待値情報を生成する期待値情報生成回路28が示されている。

【0072】

期待値情報生成回路28は、一方の入力に、ヒューズ9から出力された転送情報を受け、論理回路、例えば、Ex. OR回路29を含む。Ex. OR回路29の出力は、フリップフロップ30の入力Dに入力される。フリップフロップ30の出力QはEx. OR回路29の他方の入力に入力される。フリップフロップ30は、クロックCLKに同期して動作し、例えば、情報が転送されるごとに、Ex. OR回路29の出力に応じた情報を蓄積加算し、保持する。クロックCLKは、シフトクロックであり、例えば、転送型レジスタ11の情報のシフトに利用される。これにより、本例のフリップフロップ30は、転送型レジスタ11内のフリップフロップと同期して動作する。情報の転送が終わると、最終的な加算結果が得られ、転送情報の総和が偶数なら、期待値情報生成回路28が出力する期待値情報は偶数、即ち“0”となる。反対に転送情報の総和が奇数なら、期待値情報生成回路28が出力する期待値情報は奇数、即ち“1”となる。

【0073】

このような期待値情報生成回路28を有する第5実施形態によれば、ヒューズ9にプログラムされた情報から期待値情報を自動的に生成できるので、期待値情報を予め求め、例えば、ヒューズ14にプログラムしておく必要がない。従って、例えば、期待値情報を求めるための時間、およびヒューズ14にプログラムする時間を節約できる。この結果、TAT (Turn Around Time)を短縮でき、例えば、システムICの納期短縮を図ることができる。また、期待値情報をプログラムしておくための記憶回路、例えば、ヒューズ14も必要ないので、ヒューズの本数を節約できる利点もある。

【0074】

期待値情報生成回路28は、図15に示すように、ヒューズボックス8内に設けられて

も良く、図16に示すように、IPマクロの外、もしくはIPマクロの中に設けられても良い。

【0075】

(第6実施形態)

上記実施形態では、情報保持回路の例として転送型レジスタを示したが、情報保持回路は、情報を保持することが可能であれば良く、転送型レジスタに限られるものではない。例えば、本第6実施形態に示すように、同期型フリップフロップ31を利用することも可能である。以下、同期型フリップフロップを利用した例を、上記実施形態を一般化した例とともに説明する。

【0076】

(第1の例)

図17は第1実施形態を一般化した例を示すブロック図である。

【0077】

図17に示すように、第1の例では、情報保持回路11に、同期型フリップフロップ31が利用されている。同期型フリップフロップ31を利用した場合には、プログラマブル回路9からの転送情報は、同期型フリップフロップ31に、例えば、パラレルに転送される。これによる利点の一つは、転送情報を、シリアルに転送する場合に比較して、転送に要する時間を短くできることにある。

【0078】

また、図17には、第1実施形態に係る半導体集積回路装置を一般化した例が示されている。例えば、プログラマブル回路9であるが、第1実施形態ではプログラマブル回路9の一例として、ヒューズを示したが、プログラマブル回路9は、情報をプログラムすることが可能であれば良く、ヒューズに限られるものではない。例えば、読み出し専用メモリ(ROM)を利用することも可能である。ROMの例としては、プログラマブルROM(PROM)があり、PROMとしては、電氣的に情報をプログラムすることが可能なPROMを挙げることができる。電氣的に情報をプログラムすることが可能なPROMとしては、一度だけ情報をプログラムすることが可能なOTPROM、情報の書き換えが可能なEEPROMを挙げることができる。もちろん、これら以外の不揮発性半導体メモリを利用することもでき、例えば、強誘電体半導体メモリや、磁気抵抗半導体メモリも利用することができる。なお、これらのプログラマブル回路の変形は、情報出力回路14にも適用することができる。

【0079】

また、図17には、訂正処理実行回路21の例として、第4実施形態により説明したIPマクロのステータス情報に基づいて訂正処理を変更する訂正処理実行回路21を例示している。訂正処理実行回路21は、ステータス情報に基づいて、例えば、システムエラー(システムリセット)信号、システムサスペンド信号、及びエラー訂正命令信号を出力する。これらの信号に基づいて、プログラマブル回路9には、転送トリガ信号が与えられ、情報の再転送が行われる。ただし、訂正処理実行回路21は、これに限られるものではない。

【0080】

(第2の例)

図18は第1実施形態を一般化し、第5実施形態を適用した例を示すブロック図である。

【0081】

図18に示すように、第2の例では、情報出力回路14に、第5実施形態により説明した期待値情報生成回路28を適用している。期待値情報回路28は、プログラマブル回路9からの転送情報に基づいて期待値情報を生成する。これ以外は、第1の例と同様であるので、その説明は省略する。

【0082】

(第3の例)

図19は第2実施形態の第1の回路例を一般化した例を示すブロック図である。

【0083】

図19に示すように、第3の例では、エラー検出回路16に、第2実施形態の第1の回路例により説明したエラー検出回路16を適用している。これ以外は、第1の例と同様であるので、その説明は省略する。

【0084】

(第4の例)

図20は第2実施形態の第1の回路例を一般化し、第5実施形態を適用した例を示すブロック図である。

【0085】

図20に示すように、第4の例では、情報出力回路14に、第5実施形態により説明した期待値情報生成回路28を適用している。これ以外は第3の例と同様であるので、その説明は省略する。

【0086】

(第5の例)

図21は第2実施形態の第2の回路例を一般化した例を示すブロック図である。

【0087】

図21に示すように、第5の例では、情報保持回路11に、第2実施形態の第2の回路により説明した情報保持回路11を適用している。期待値補正情報は、情報保持回路11内の同期型フリップフロップ31に保持される。保持された期待値補正情報は、エラー検出回路16の圧縮回路13に与えられる。これ以外は、第1の例と同様であるので、その説明は省略する。

【0088】

(第6の例)

図22は第2実施形態の第2の回路例を一般化し、第5実施形態を適用した例を示すブロック図である。

【0089】

図22に示すように、第6の例では、情報出力回路14に、第5実施形態により説明した期待値情報生成回路28を適用している。これ以外は第5の例と同様であるので、その説明は省略する。

【0090】

(第7の例)

図23は第2実施形態の第3の回路例を一般化した例を示すブロック図である。

【0091】

図23に示すように、第7の例では、情報保持回路11に、第2実施形態の第3の回路により説明した情報保持回路11を適用している。期待値補正情報は、エラー検出回路16の期待値補正回路20に与えられる。期待値補正回路20は、圧縮回路13からの圧縮情報と期待値補正情報とに基づいて、期待値情報を出力する。期待値情報は、そのまま、エラー検出出力として使うことができる。これ以外は、第1の例と同様であるので、その説明は省略する。

【0092】

(第8の例)

図24は第2実施形態の第3の回路例を一般化し、第5実施形態を適用した例を示すブロック図である。

【0093】

図24に示すように、第8の例では、情報出力回路14に、第5実施形態により説明した期待値情報生成回路28を適用している。これ以外は第7の例と同様であるので、その説明は省略する。

【0094】

上記実施形態に係る半導体集積回路装置は、例えば、システム オン チップ技術に有用である。システム オン チップの例としては、第1実施形態において説明したように

、メモリ混載ロジックデバイス、例えば、DRAM混載ロジックデバイスが挙げられる。メモリ混載ロジックデバイスは、様々なシステムに適用することが可能であるが、そのシステム例を、以下説明する。

【0095】

(システム例)

本例では、デジタルスチルカメラ用メモリ混載ロジックデバイスを例示する。

【0096】

図25はデジタルスチルカメラを示す斜視図、図26はデジタルスチルカメラの基本システムを示すブロック図である。

【0097】

図25及び図26に示すように、デジタルスチルカメラ71の筐体(ケース)には、カードスロット72、及びこのカードスロット72に接続されるデジタルスチルカメラ用システムIC100が収容されている。なお、図25では、システムIC100の図示を省略している。メモリカード70は、デジタルスチルカメラ71のカードスロット72に取り外し可能な状態で装着される。メモリカード70は、カードスロット72に装着されることで、システムIC100内の電子回路に、電氣的に接続される。

【0098】

被写体からの光はレンズ73により集光されて撮像装置74に入力される。撮像装置74は、入力された光を光電変換し、例えば、アナログ信号とする。撮像装置74の一例は、CMOSイメージセンサである。アナログ信号は、アナログ増幅器(AMP.)で増幅された後、A/Dコンバータ(A/D)でデジタル信号に変換される。デジタル化された信号は、カメラ信号処理回路75に入力され、例えば、自動露出制御(AE)、自動ホワイトバランス制御(AWB)、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【0099】

画像をモニタする場合、カメラ信号処理回路75から出力された信号がビデオ信号処理回路76に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば、NTSC(National Television System Committee)を挙げることができる。ビデオ信号は、表示信号処理回路77を介して、デジタルスチルカメラ71に取り付けられた表示部78に出力される。表示部78の一例は液晶モニタである。また、ビデオ信号は、ビデオドライバ79を介して、ビデオ出力端子80に出力される。デジタルスチルカメラ71により撮像した画像は、ビデオ出力端子80を介して、映像機器、例えば、パーソナルコンピュータのディスプレイやテレビジョンに出力することができ、撮像した画像を表示部78以外でも楽しむことができる。撮像装置74、アナログ増幅器(AMP.)、A/Dコンバータ(A/D)、カメラ信号処理回路75は、マイクロコンピュータ81により制御される。

【0100】

画像をキャプチャする場合、操作ボタン、例えば、シャッターボタン82を押す。これにより、マイクロコンピュータ81は、メモリコントローラ83を制御し、カメラ信号処理回路75から出力された信号がフレーム画像としてビデオメモリ84に書き込まれる。ビデオメモリ84に書き込まれたフレーム画像は、圧縮/伸張処理回路85により、所定の圧縮フォーマットに基いて圧縮され、カードインターフェース86を介してカードスロット72に装着されているメモリカード70に記録される。

【0101】

記録した画像を再生する場合、メモリカード70に記録されている画像を、カードインターフェース86を介して読み出し、圧縮/伸張処理回路85により、伸張した後、ビデオメモリ84に書き込む。書き込まれた画像はビデオ信号処理回路76に入力され、画像をモニタする場合と同様に、表示部78や、映像機器に映し出される。

【0102】

なお、本基本システム例では、システムIC100内に、撮像装置74、アナログ増幅

器 (AMP.)、A/Dコンバータ (A/D)、カメラ信号処理回路75、ビデオ信号処理回路76、表示装置77、ビデオドライバ79、マイクロコンピュータ81、メモリコントローラ83、ビデオメモリ84、及び圧縮/伸張処理回路85が混載される例を示している。さらに、本基本システム例では、システムIC100内に、電源回路87が混載される。電源回路87は、外部電源、あるいは電池から電源の供給を受け、デジタルスチルカメラ71の内部で使用する内部電源を発生する。電源回路87の一例は、DC-DCコンバータである。内部電源は、上記各回路に動作電源として供給される他、ストロボ88の電源、及び表示部78の電源としても使用される。

【0103】

このように、上記第1～第6実施形態に係る半導体集積回路装置は、システムIC、例えば、デジタルスチルカメラ用システムICに利用することができる。

【0104】

以上、この発明を第1～第6実施形態により説明したが、この発明は、これら実施形態に限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0105】

また、上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせで実施することも、もちろん可能である。

【0106】

また、上記各実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【図面の簡単な説明】

【0107】

【図1】図1はこの発明の第1実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図2】図2はビュースボックスの一回路例を示す回路図

【図3】図3はDRAMマクロの一回路例を示す回路図

【図4】図4はこの発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第1の回路例を示す回路図

【図5】図5はこの発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第2の回路例を示す回路図

【図6】図6はこの発明の第2実施形態に係る半導体集積回路装置の情報保持回路及びエラー検出回路の第3の回路例を示す回路図

【図7】図7はこの発明の第3実施形態に係る半導体集積回路装置が備える訂正処理実行回路を示す図

【図8】図8は第1の訂正処理方法を示す図

【図9】図9は第2の訂正処理方法を示す図

【図10】図10は情報をシリアルに転送する場合を示す図

【図11】図11は情報をパラレルに転送する場合を示す図

【図12】図12はこの発明の第4実施形態に係る訂正処理方法の一シーケンス例を示す流れ図

【図13】図13は一シーケンス例に従った一構成例を示すブロック図

【図14】図14はこの発明の第5実施形態に係る半導体集積回路装置が備える期待値情報生成回路を示す図

【図15】図15はこの発明の第5実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図16】図16はこの発明の第5実施形態に係る半導体集積回路装置の他構成例を示すブロック図

【図17】図17は第1実施形態を一般化した例を示すブロック図

【図 18】図 18 は第 1 実施形態を一般化し、第 5 実施形態を適用した例を示すブロック図

【図 19】図 19 は第 2 実施形態の第 1 の回路例を一般化した例を示すブロック図

【図 20】図 20 は第 2 実施形態の第 1 の回路例を一般化し、第 5 実施形態を適用した例を示すブロック図

【図 21】図 21 は第 2 実施形態の第 2 の回路例を一般化した例を示すブロック図

【図 22】図 22 は第 2 実施形態の第 2 の回路例を一般化し、第 5 実施形態を適用した例を示すブロック図

【図 23】図 23 は第 2 実施形態の第 3 の回路例を一般化した例を示すブロック図

【図 24】図 24 は第 2 実施形態の第 3 の回路例を一般化し、第 5 実施形態を適用した例を示すブロック図

【図 25】図 25 はデジタルスチルカメラを示す斜視図

【図 26】図 26 はデジタルスチルカメラの基本システムを示すブロック図

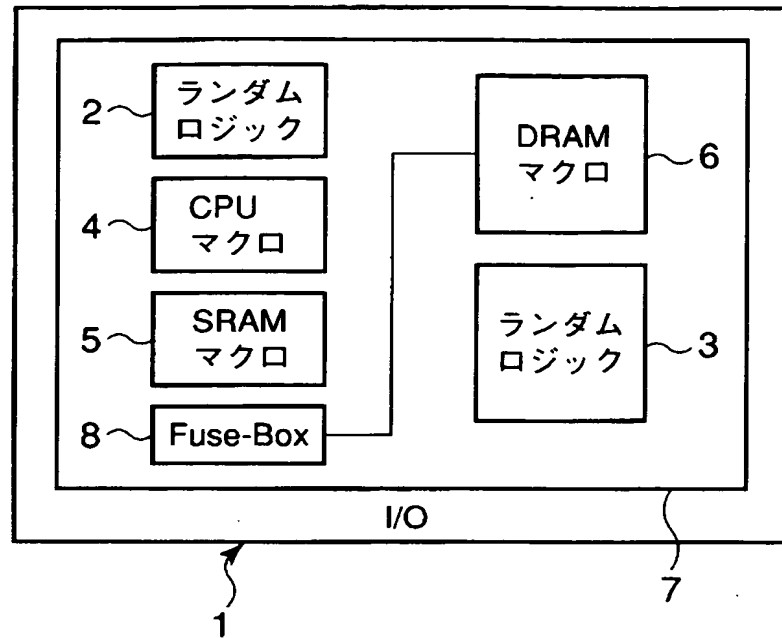
【符号の説明】

【0108】

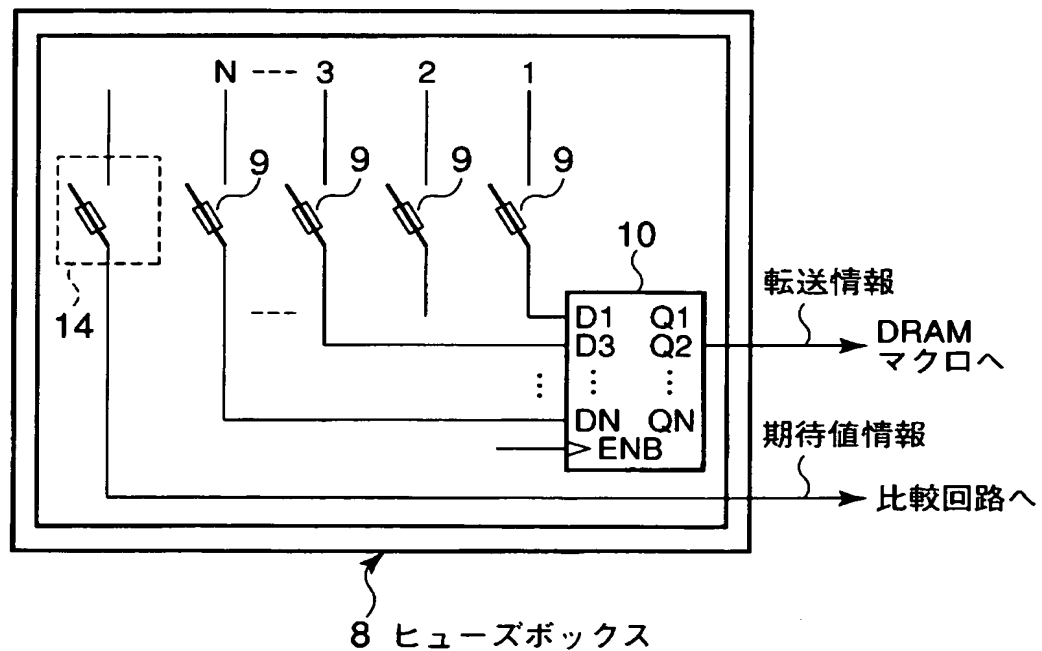
1…半導体チップ、2、3…ランダムマクロ、4…CPUマクロ、5…SRAMマクロ、6…DRAMマクロ、7…I/O回路、8…ヒューズボックス、9…ヒューズ（プログラマブル回路）、10…レジスタ、11…転送型レジスタ（情報保持回路）、12…DRAMメモリコア、13…加算回路（圧縮回路）、14…ヒューズ（情報出力回路）、15…比較回路（検出回路）、16…エラー検出回路、17…フリップフロップ、18…排他的論理和回路、19…基本パターン、20…比較回路（期待値補正回路）、21…訂正処理実行回路、22～25…電氣的経路、26…ステータス情報発生回路、27…パワーオン検知回路、28…期待値情報生成回路（情報出力回路）、29…排他的論理和回路、30…フリップフロップ、31…同期型フリップフロップ

【書類名】 図面

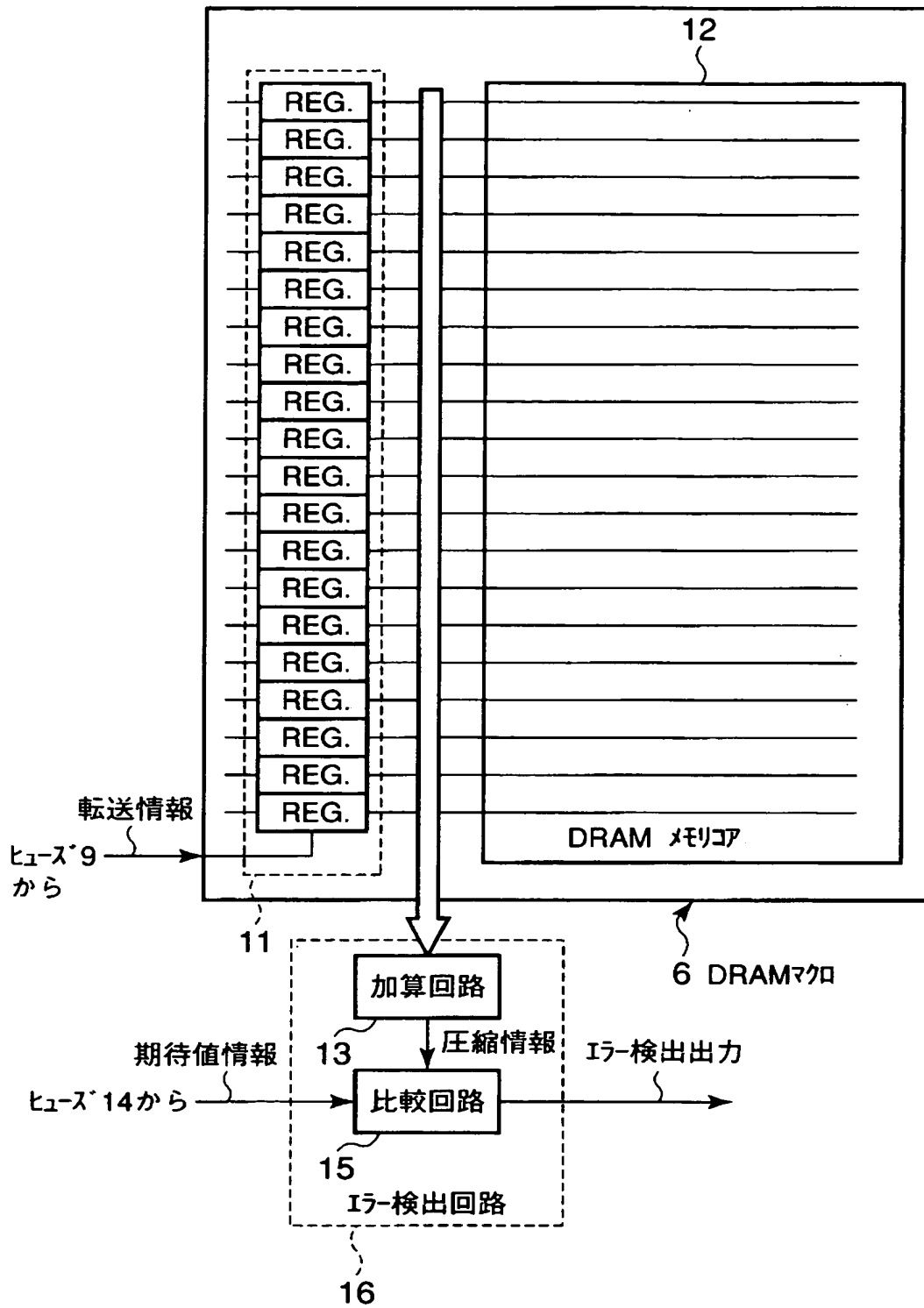
【図 1】



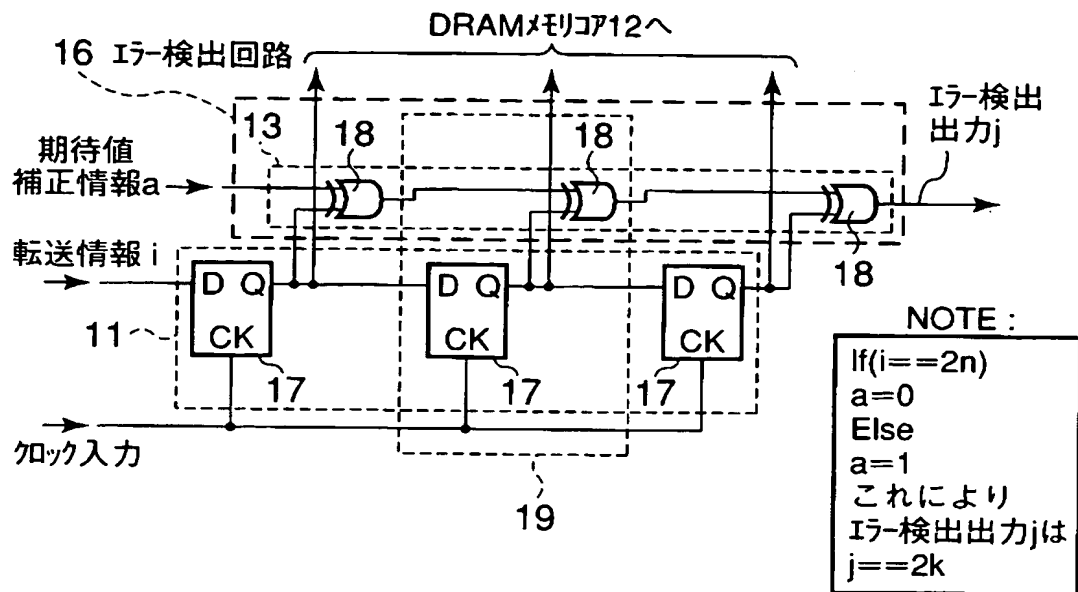
【図 2】



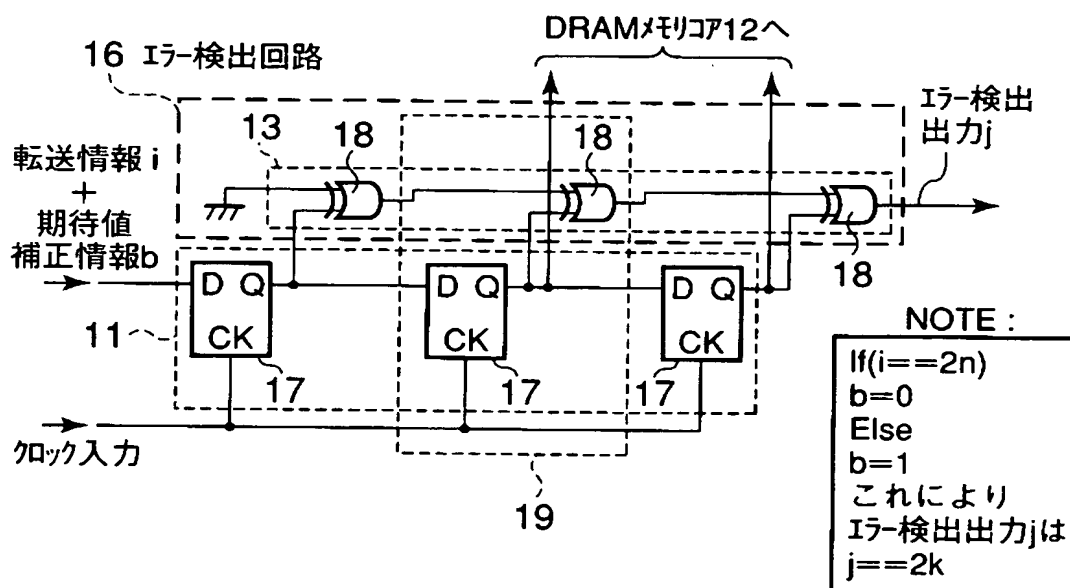
【図 3】



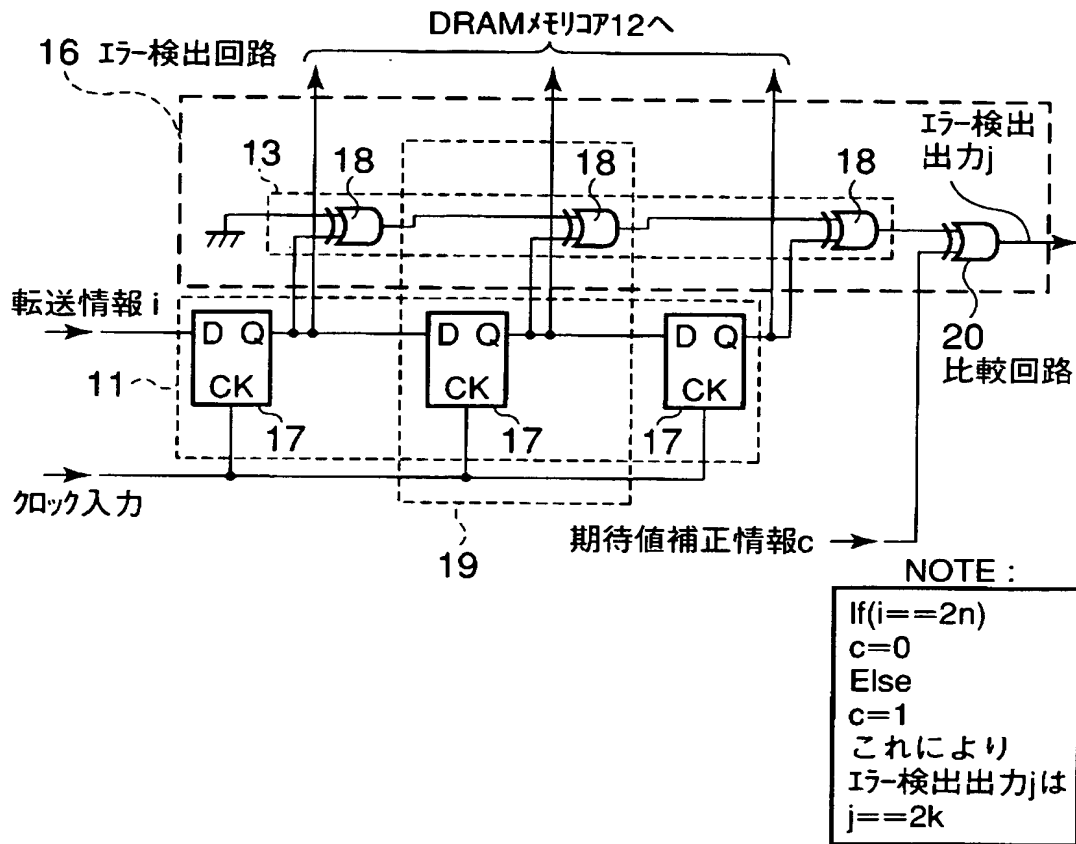
【図 4】



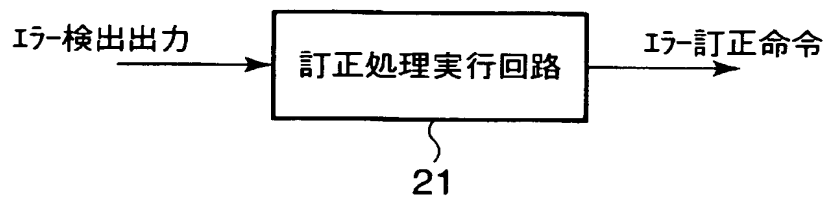
【図 5】



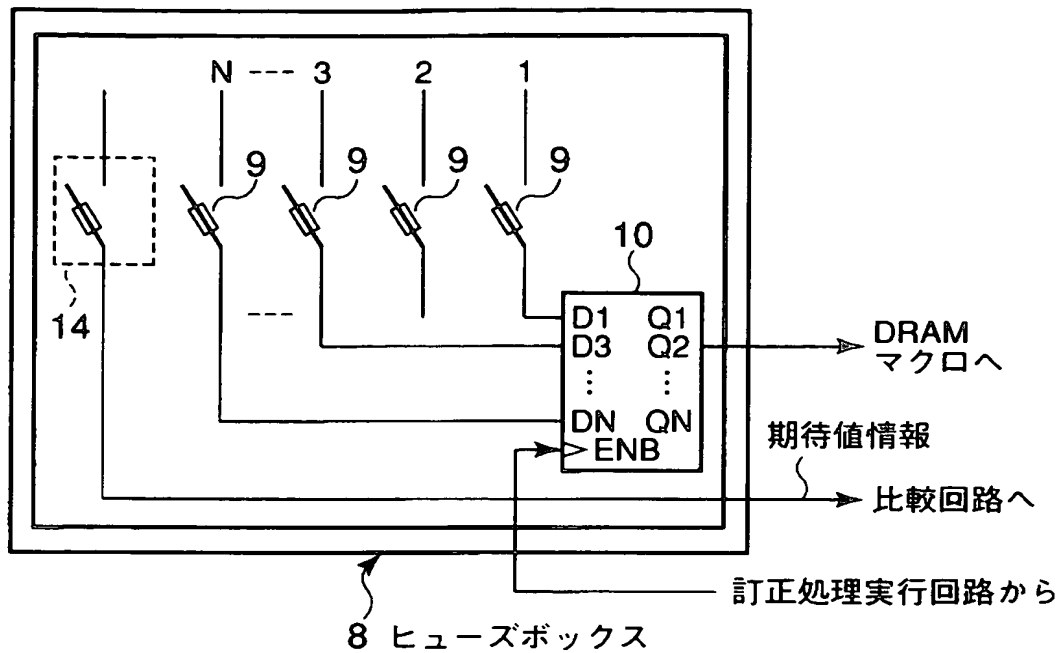
【図 6】



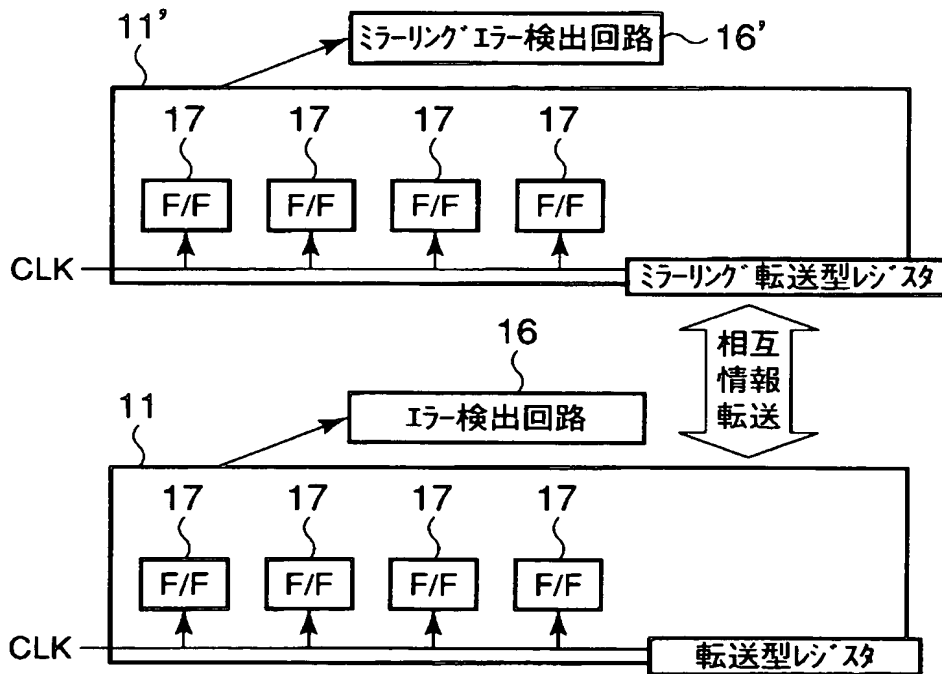
【図 7】



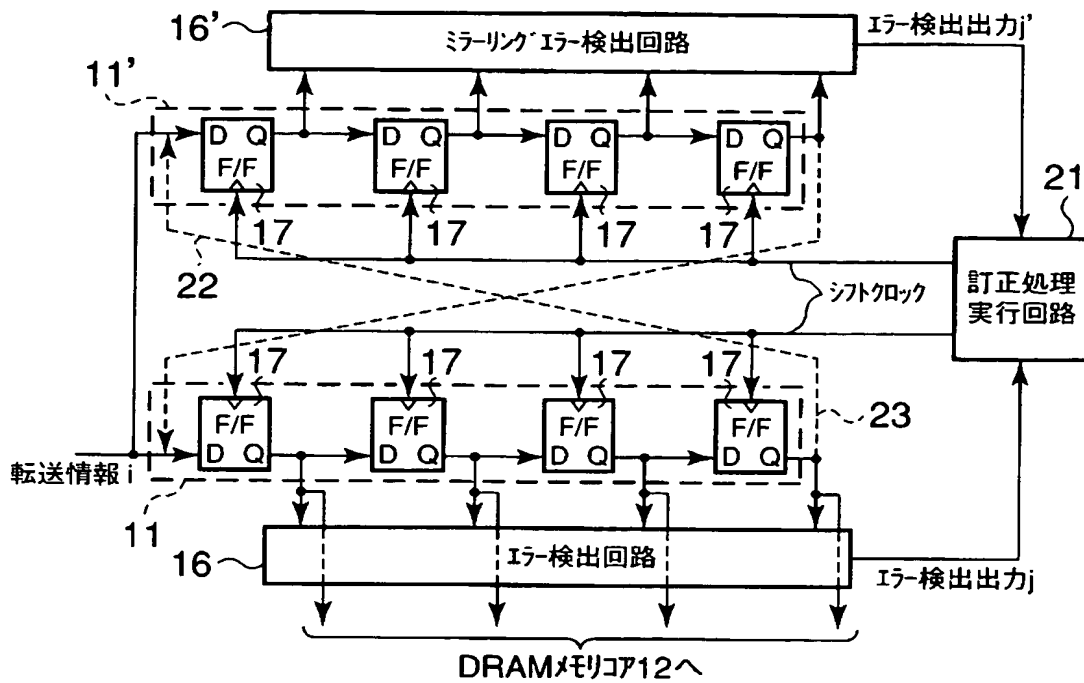
【図 8】



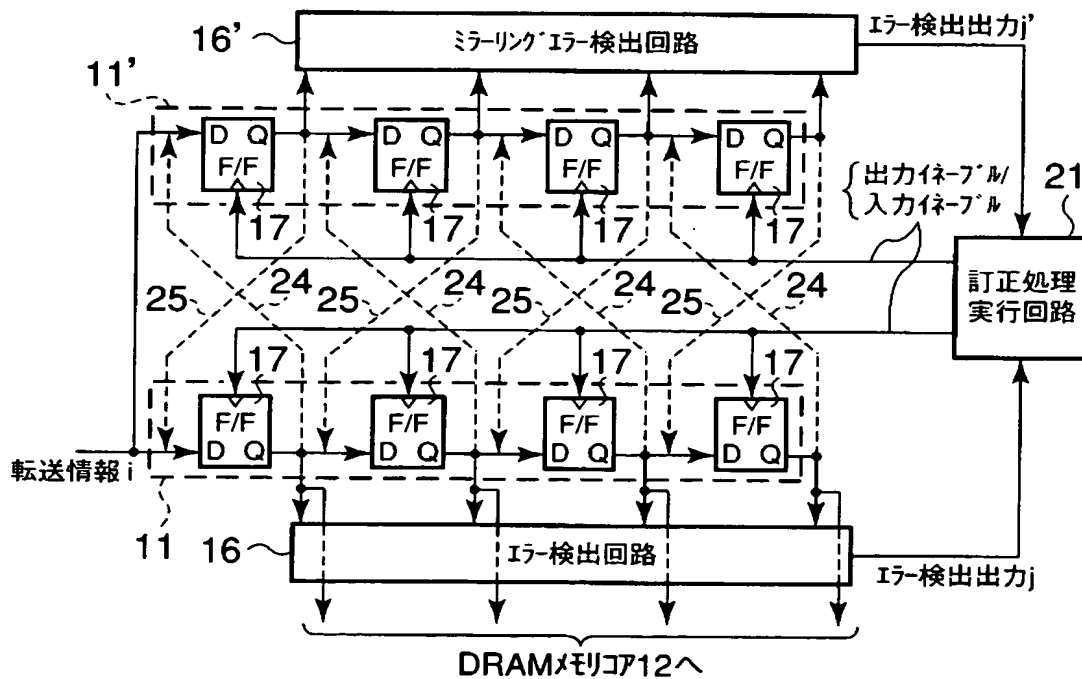
【図 9】



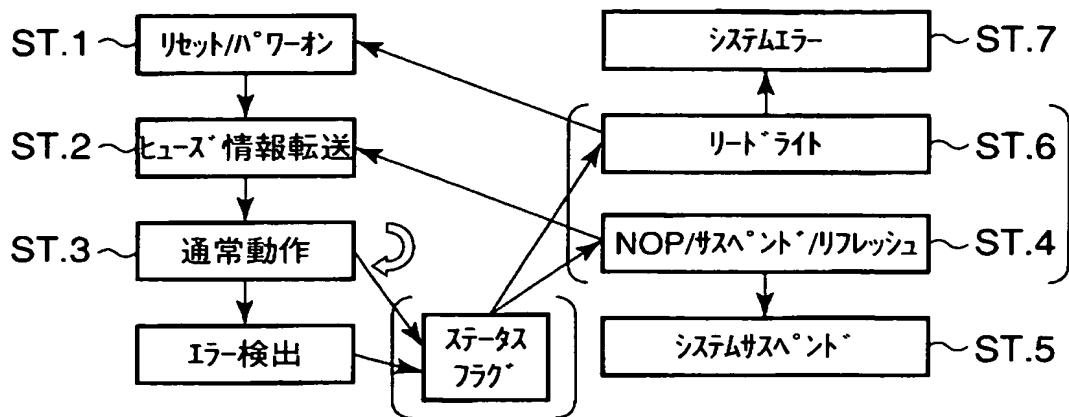
【図 10】



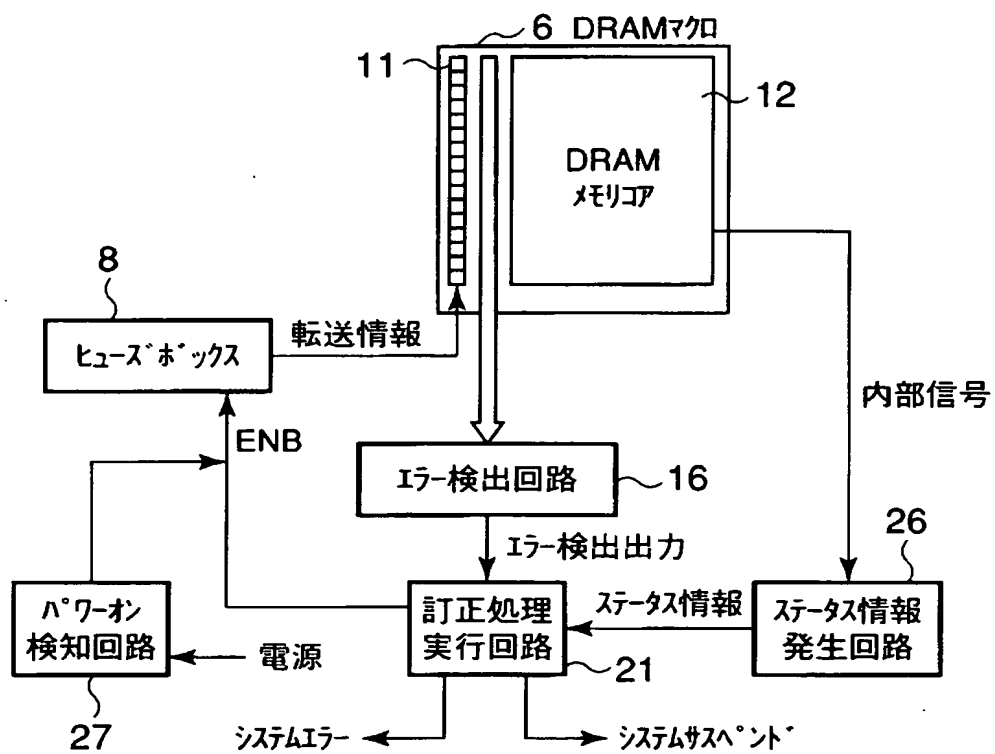
【図 11】



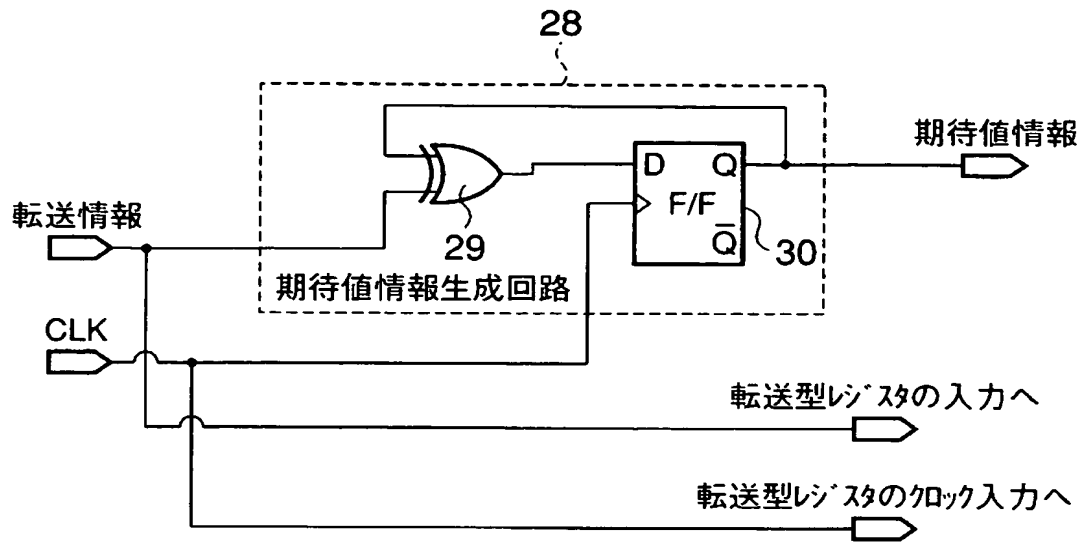
【圖 12】



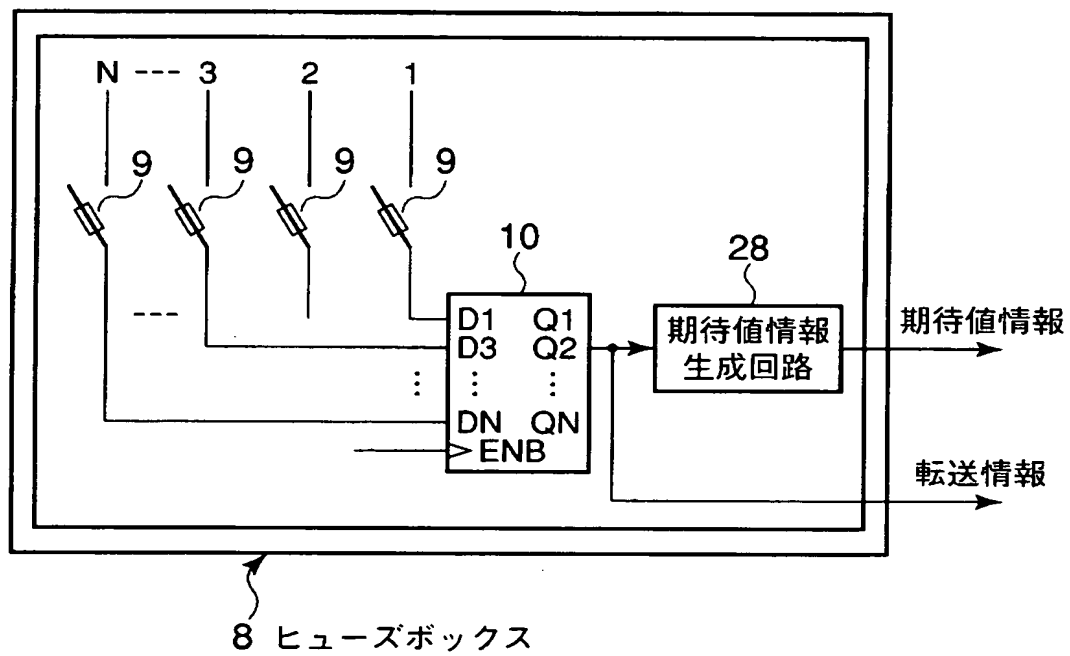
【図 13】



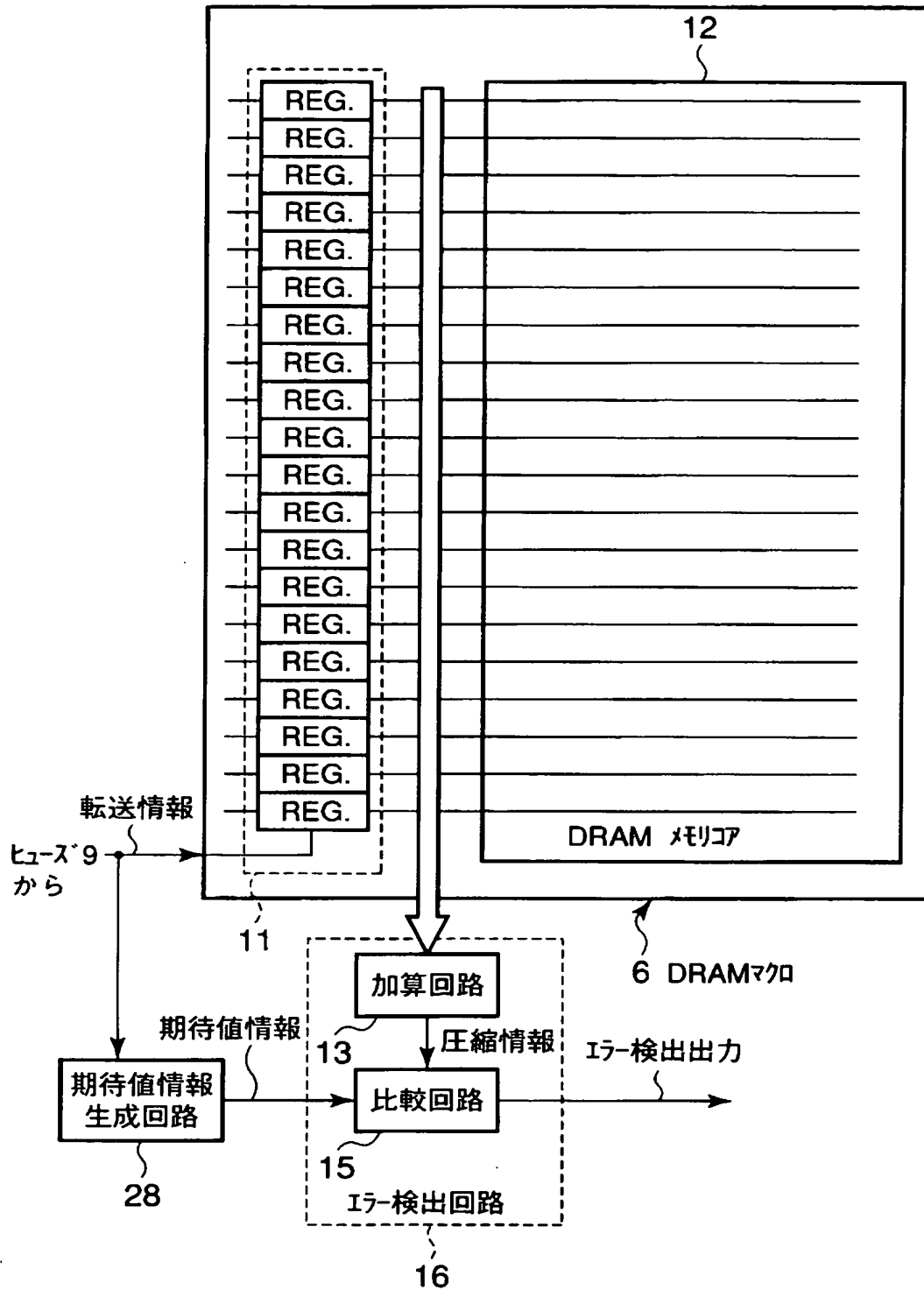
【図 14】



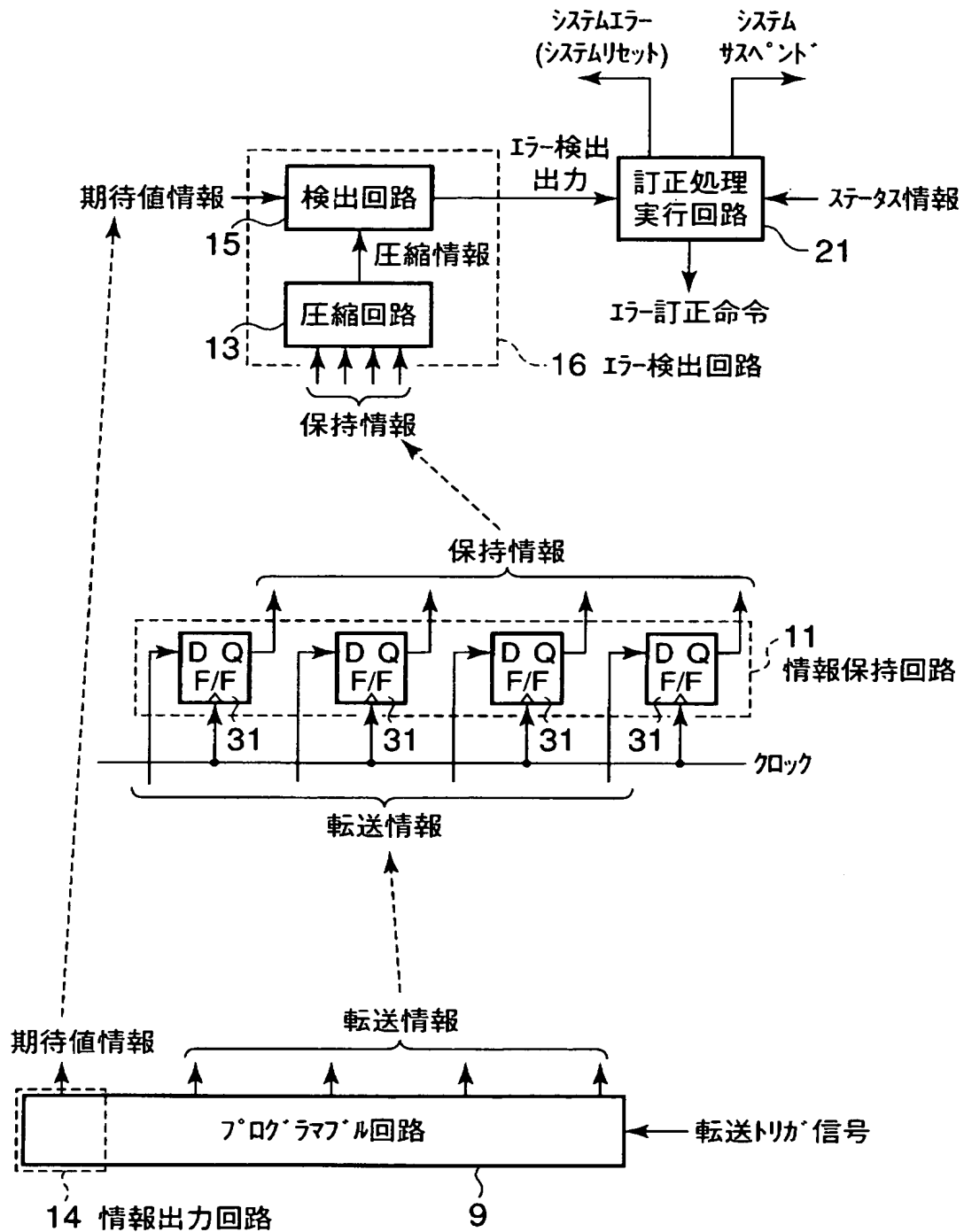
【図 15】



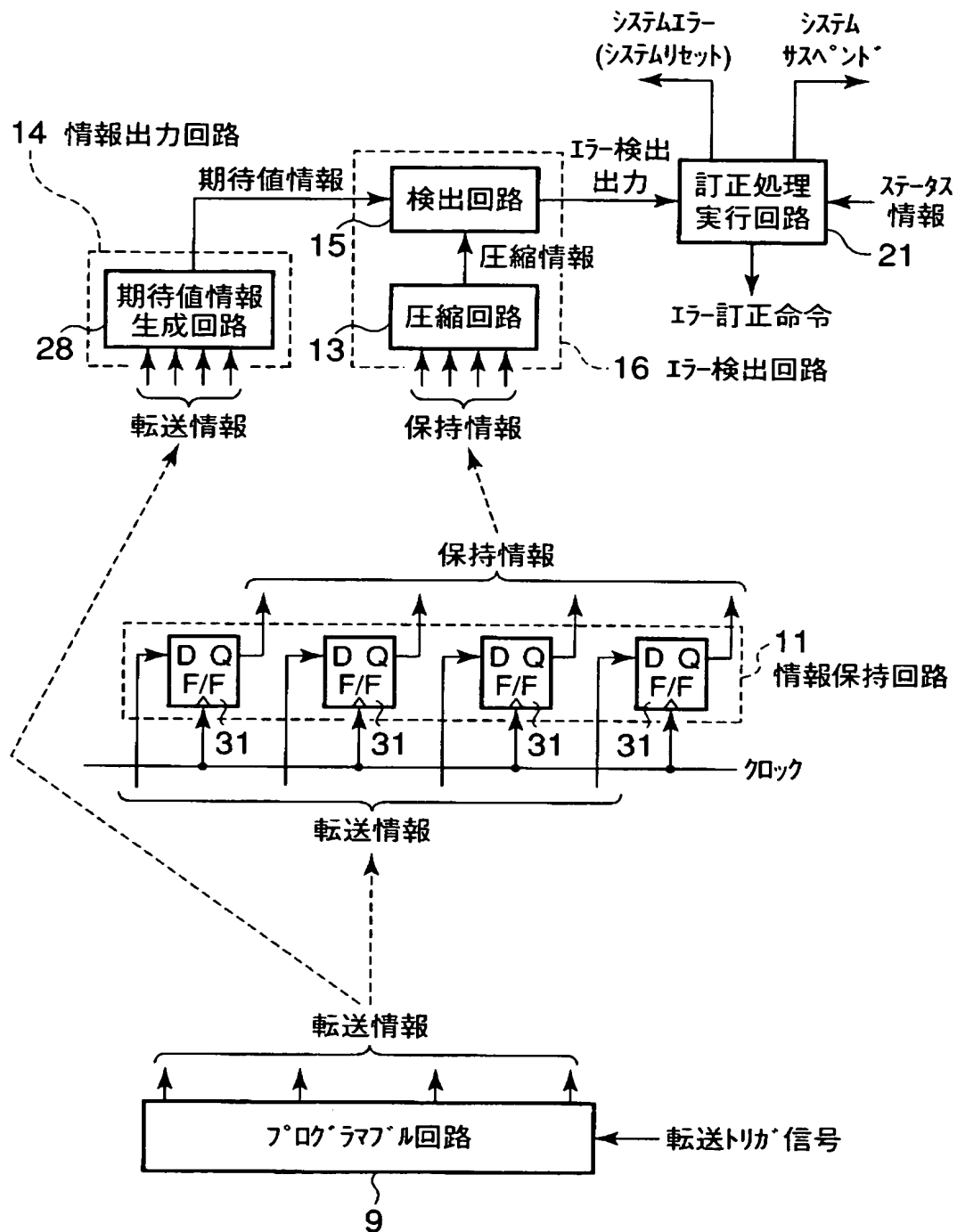
【図 16】



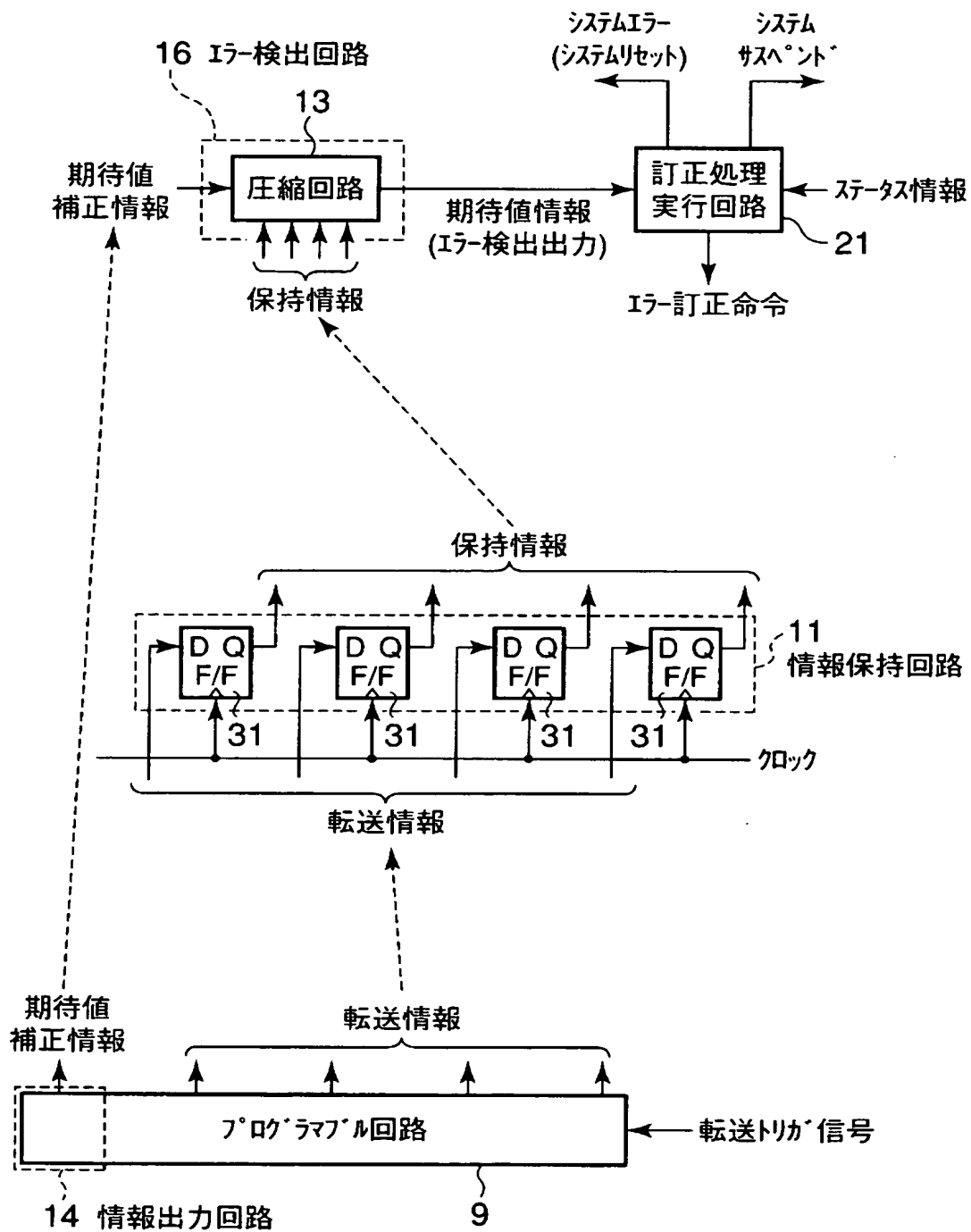
【図 17】



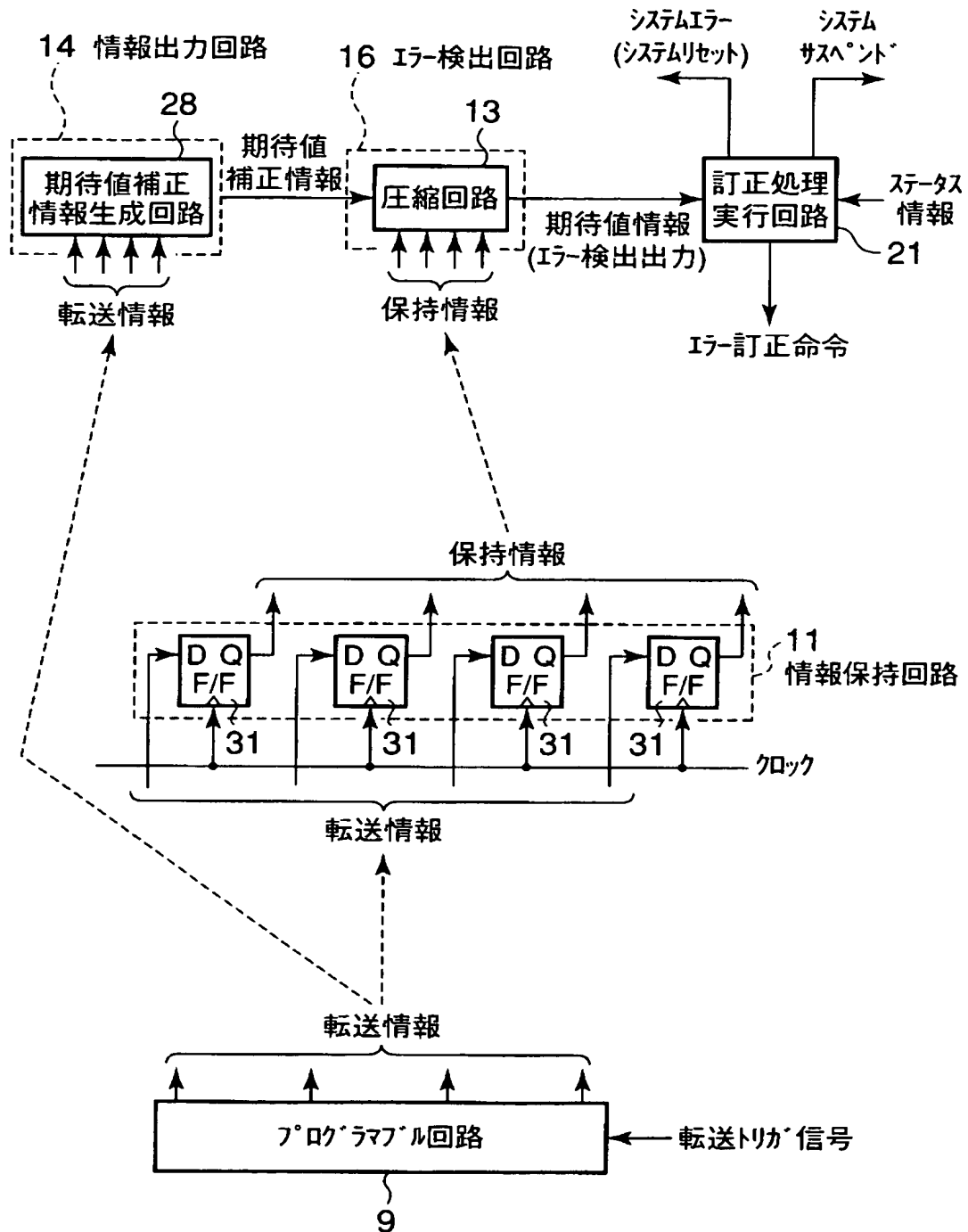
【圖 18】



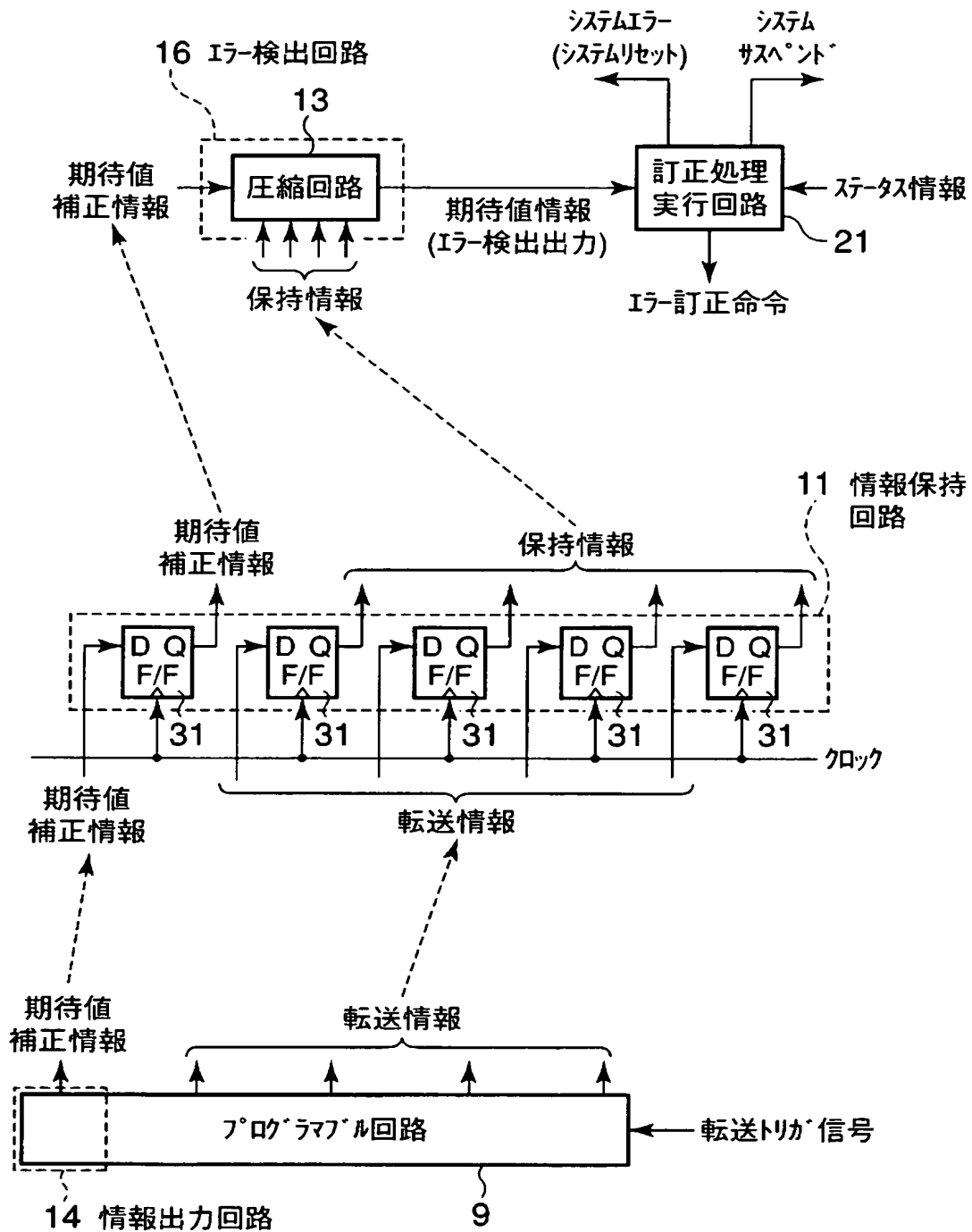
【図 19】



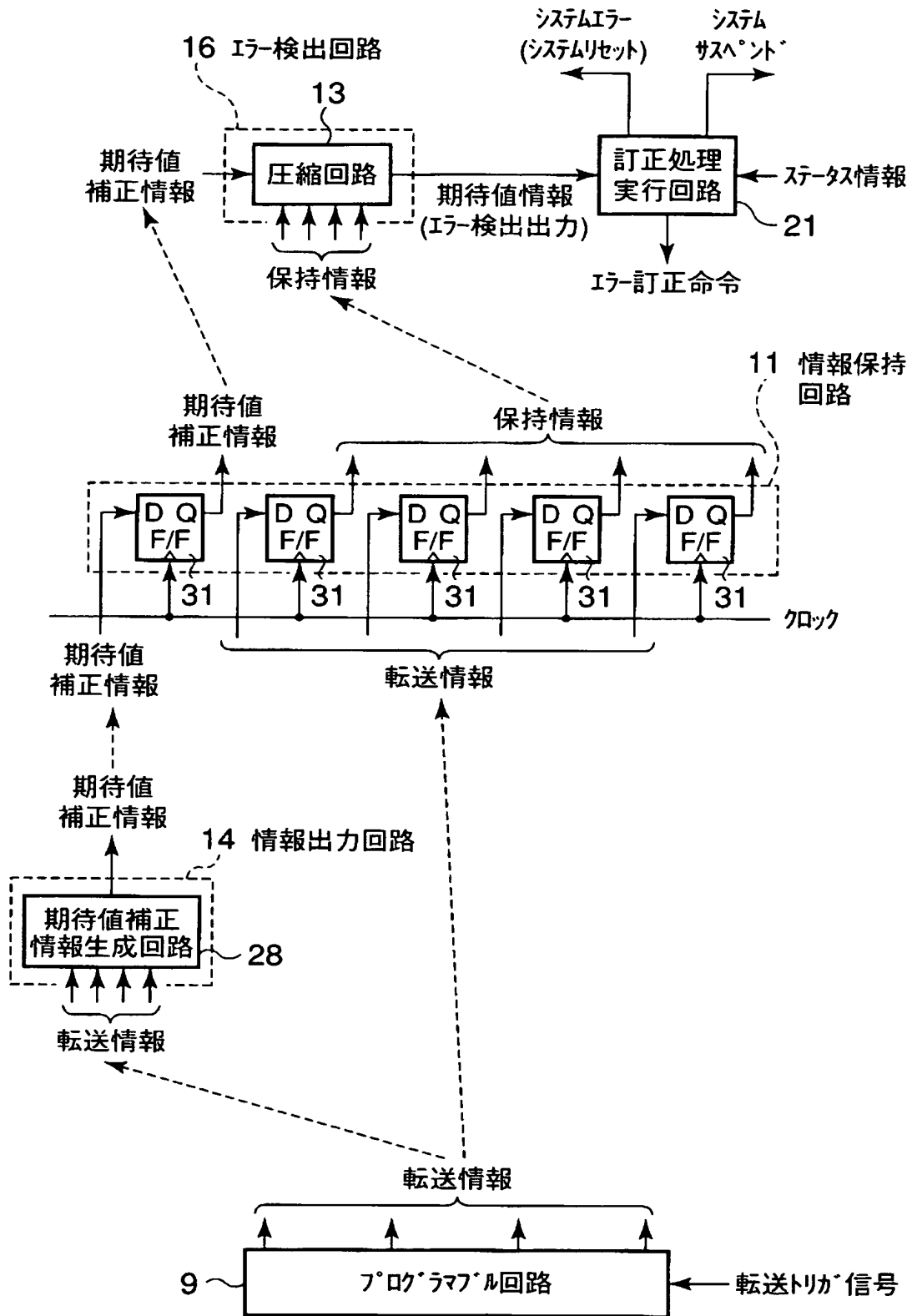
【図 20】



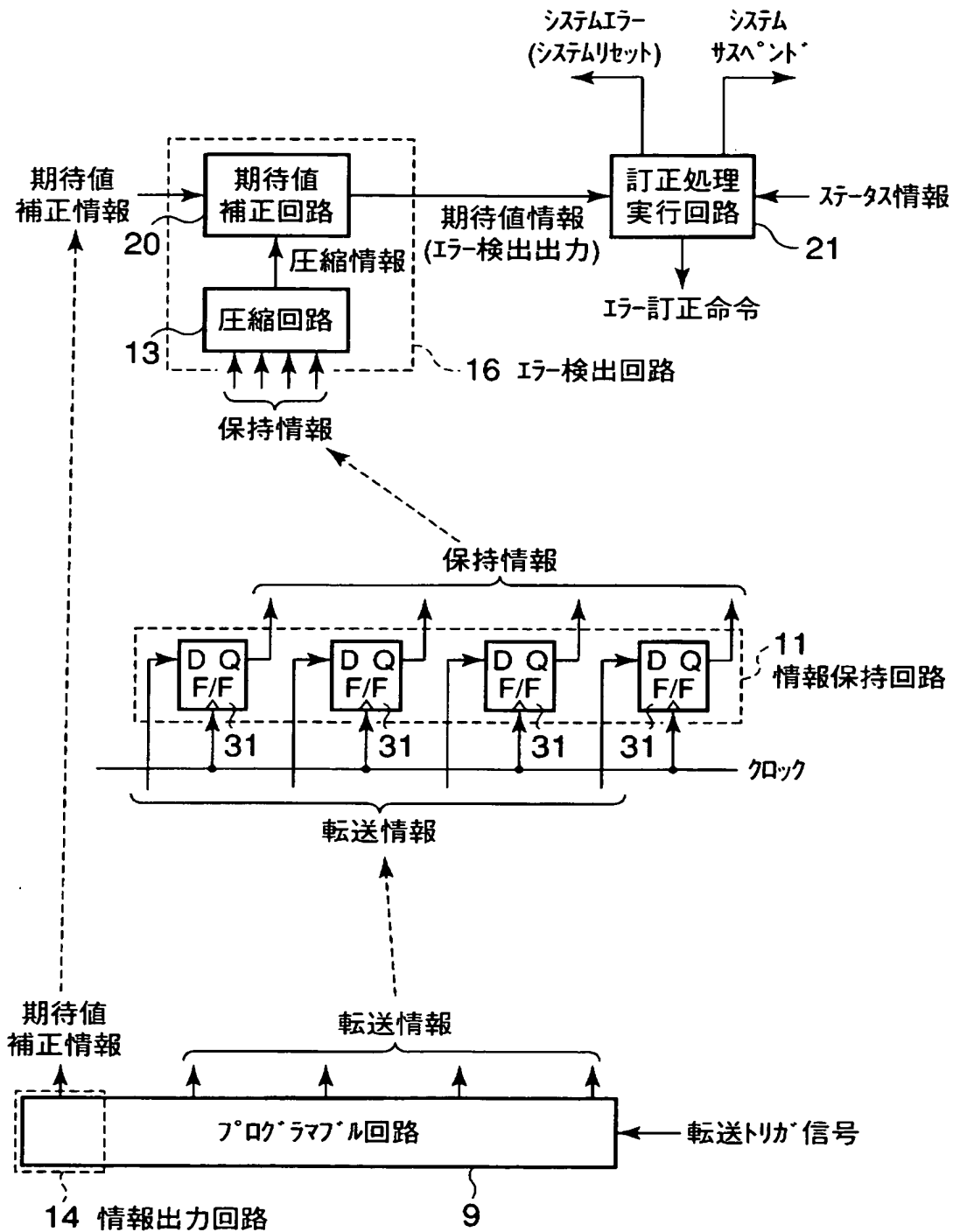
【図 21】



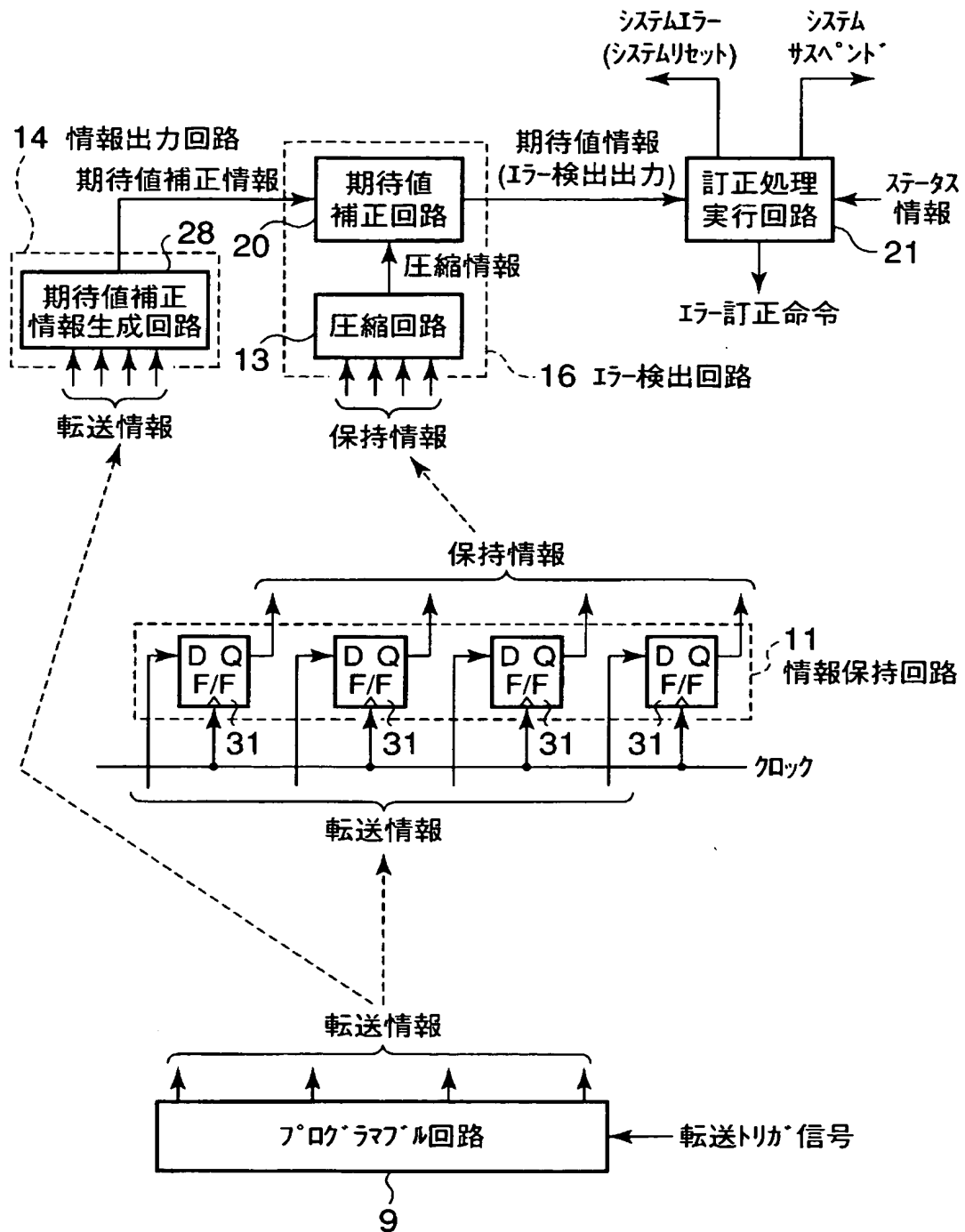
【図 22】



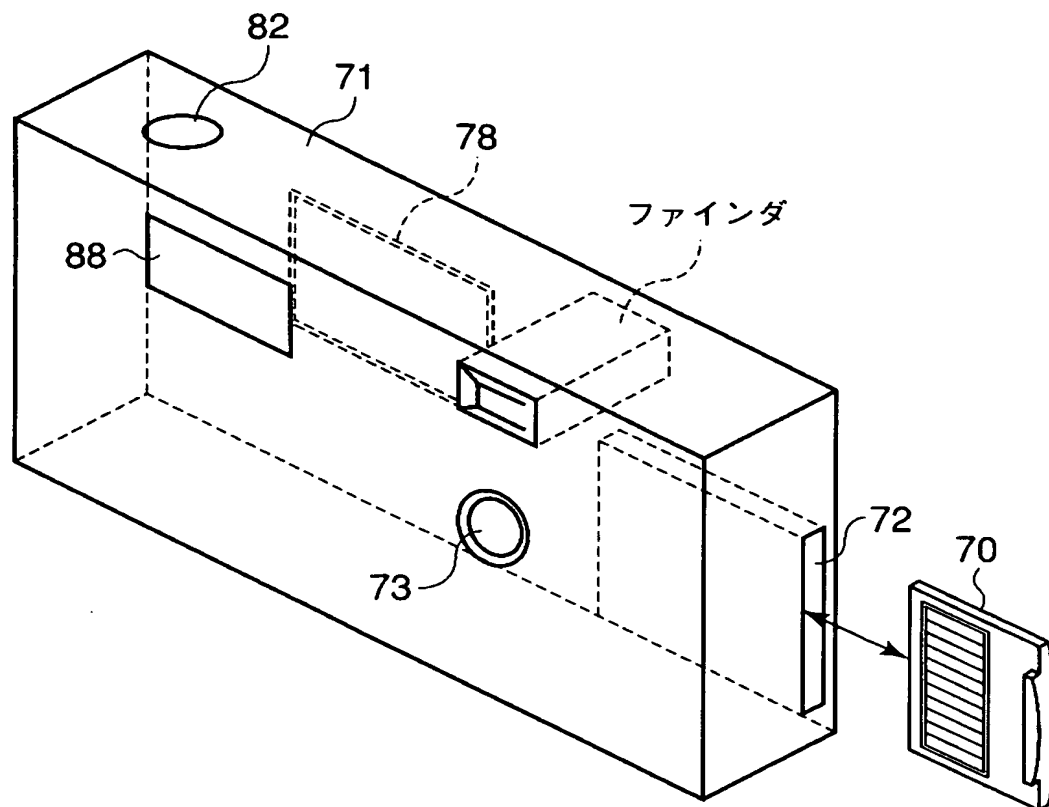
【図 23】



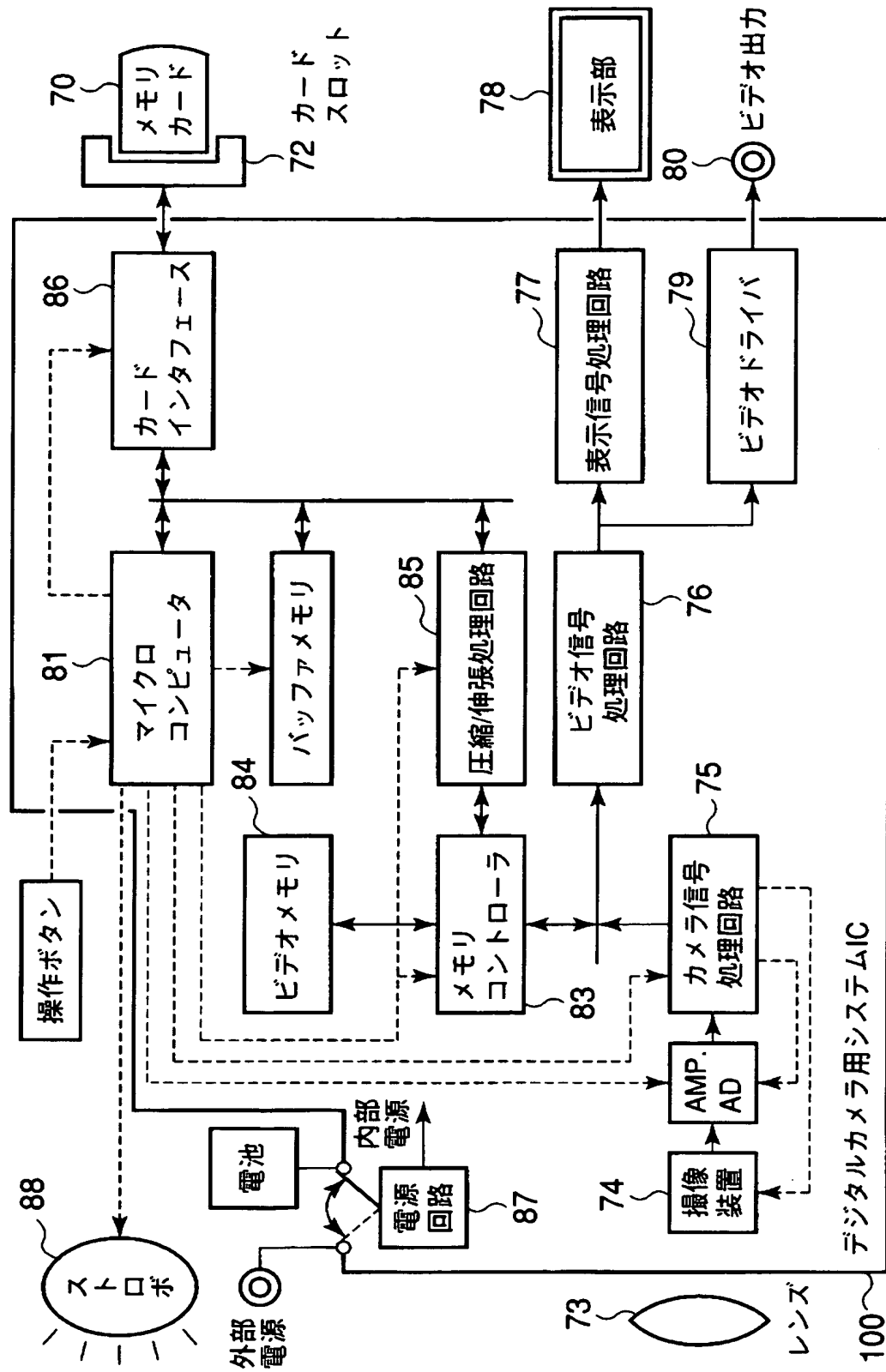
【圖 24】



【図 25】



【図26】



【書類名】要約書

【要約】

【課題】保持した情報が偶発的に壊れたことを検出可能な半導体集積回路装置を提供すること。

【解決手段】情報がプログラムされるプログラマブル回路（９）と、プログラマブル回路（９）にプログラムされた情報を、電氣的に保持する情報保持回路（１１）と、情報保持回路に保持された情報を圧縮する圧縮回路（１３）と、期待値情報を出力する情報出力回路（１４）と、期待値情報と情報圧縮回路の圧縮情報とを比較し、情報保持回路（１１）に保持された情報の破壊を検出する検出回路（１５）とを具備する。

【選択図】 図 3

特願 2 0 0 3 - 3 0 6 7 8 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝